

TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

Référence du dossier du déposant ou du mandataire B4249 PCT	POUR SUITE voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après A DONNER	
Demande internationale n° PCT/FR 00/ 00573	Date du dépôt international (jour/mois/année) 08/03/2000	(Date de priorité (la plus ancienne) (jour/mois/année) 09/03/1999
Déposant UNIVERSITE JOSEPH FOURIER et al.		

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 2 feuilles.



Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

1. Base du rapport

- a. En ce qui concerne la **langue**, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.



la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.

- b. En ce qui concerne les **séquences de nucléotides ou d'acides aminés** divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :



contenu dans la demande internationale, sous forme écrite.



déposée avec la demande internationale, sous forme déchiffrable par ordinateur.



remis ultérieurement à l'administration, sous forme écrite.



remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.



La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.



La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

4. En ce qui concerne le titre,



le texte est approuvé tel qu'il a été remis par le déposant.



Le texte a été établi par l'administration et a la teneur suivante:

5. En ce qui concerne l'abrégé,



le texte est approuvé tel qu'il a été remis par le déposant



le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

6. La figure des dessins à publier avec l'abrégé est la Figure n°



suggérée par le déposant.



parce que le déposant n'a pas suggéré de figure.



parce que cette figure caractérise mieux l'invention.

2A



Aucune des figures n'est à publier.

THIS PAGE BLANK (USPTO)

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR 00/00573

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H03K19/003

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H03K H03M G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 4 464 754 A (STEWART ET AL.) 7 août 1984 (1984-08-07) colonne 3, ligne 10 -colonne 6, ligne 4; figure 2B	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 octobre 1997 (1997-10-30) abrégé; figure 2	1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

15 mai 2000

Date d'expédition du présent rapport de recherche internationale

22/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Foglia, P

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4464754	A	07-08-1984	NONE	
WO 9740579	A	30-10-1997	NONE	

THIS PAGE BLANK (USPTO)

United States Patent [19]

Stewart et al.

[11] Patent Number: 4,464,754

[45] Date of Patent: Aug. 7, 1984

[54] MEMORY SYSTEM WITH REDUNDANCY
FOR ERROR AVOIDANCE

[75] Inventors: Roger G. Stewart, Neshanic Station;
Andrew G. F. Dingwall, Bridgewater,
both of N.J.

[73] Assignee: RCA Corporation, New York, N.Y.

[21] Appl. No.: 362,462

[22] Filed: Mar. 26, 1982

[51] Int. Cl.³ G06F 11/10

[52] U.S. Cl. 371/51; 371/10

[58] Field of Search 371/51, 49, 10

[56] References Cited

U.S. PATENT DOCUMENTS

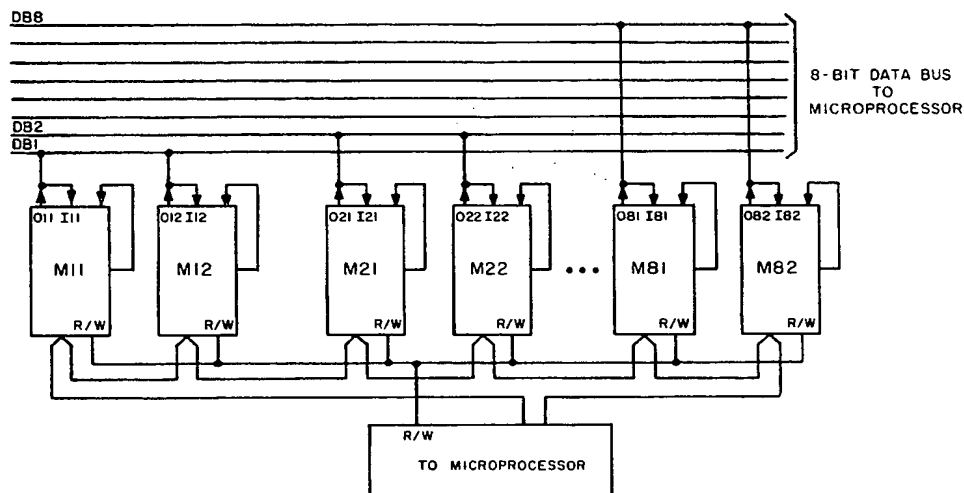
3,245,040 4/1966 Burdett et al. 371/49
4,051,355 9/1977 Lin 371/51

Primary Examiner—Charles E. Atkinson
Attorney, Agent, or Firm—Joseph S. Tripoli; George E.
Haas; Henry I. Schanzer

[57] ABSTRACT

A memory system in which two or more memory modules containing the same information have their respective data outputs connected to the same data line. Each module includes means for checking the parity of the data being read-out at its output and in the event of a parity error indication effectively disconnects its output from the data line.

4 Claims, 4 Drawing Figures



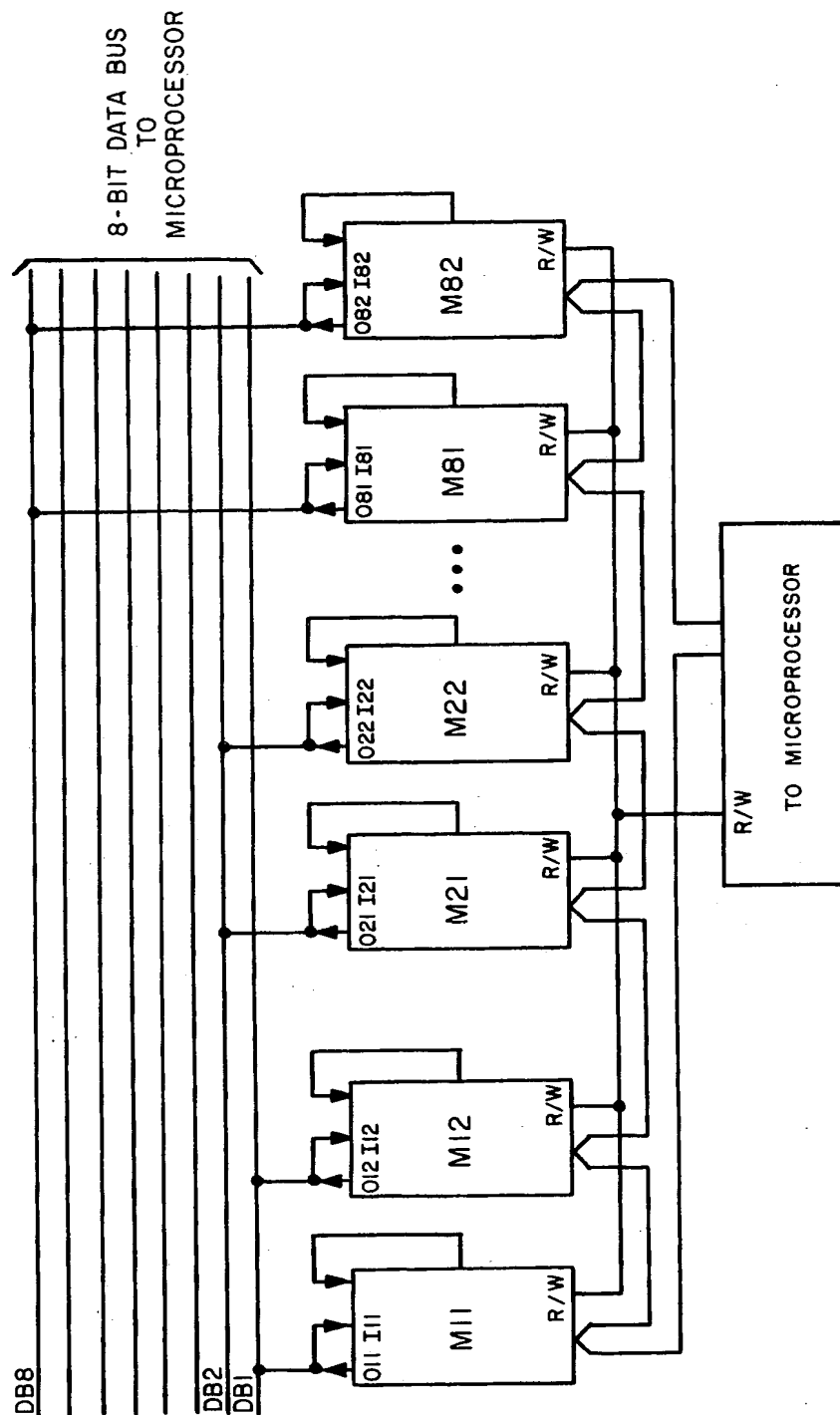


Fig. 1

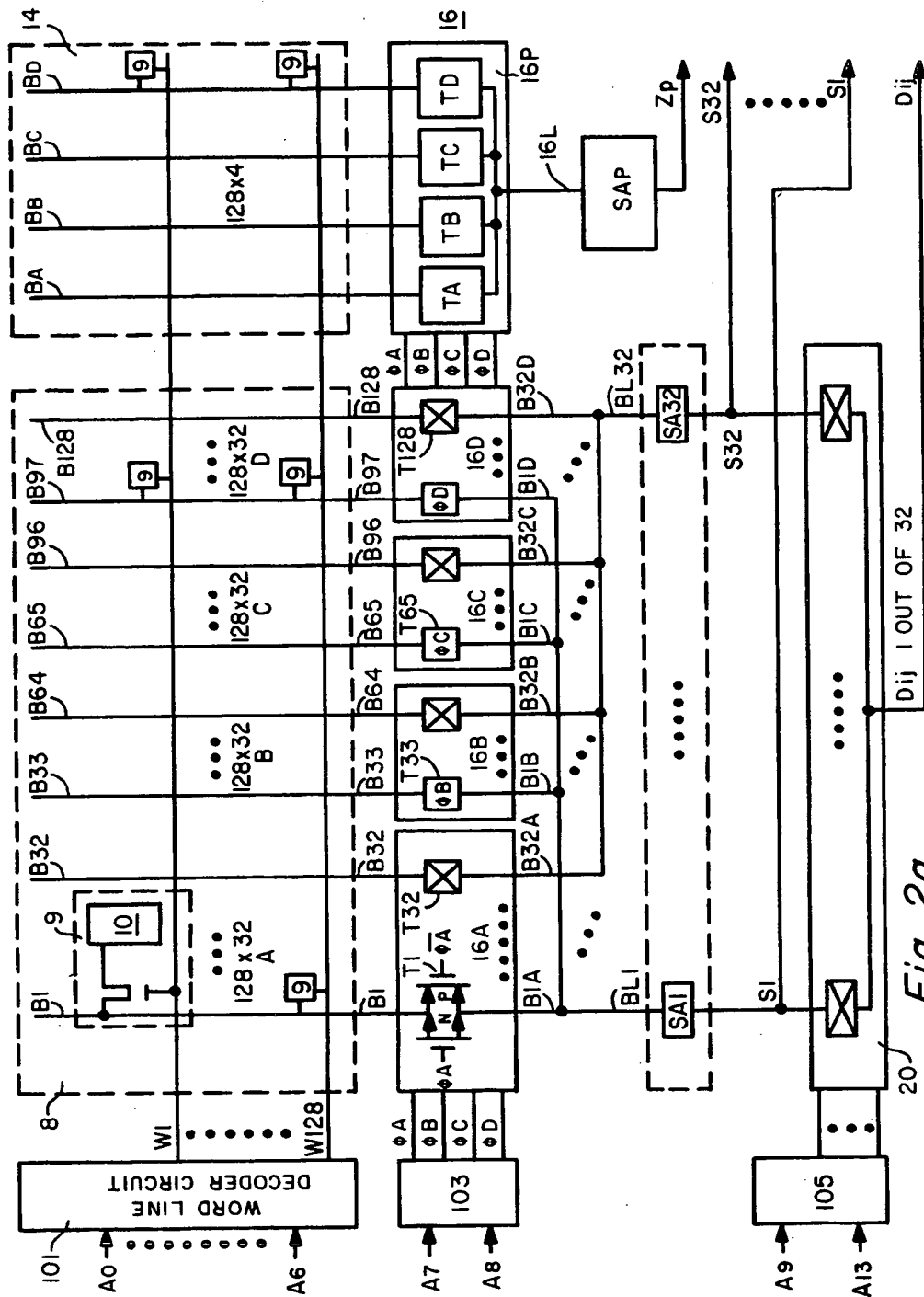


Fig. 2a

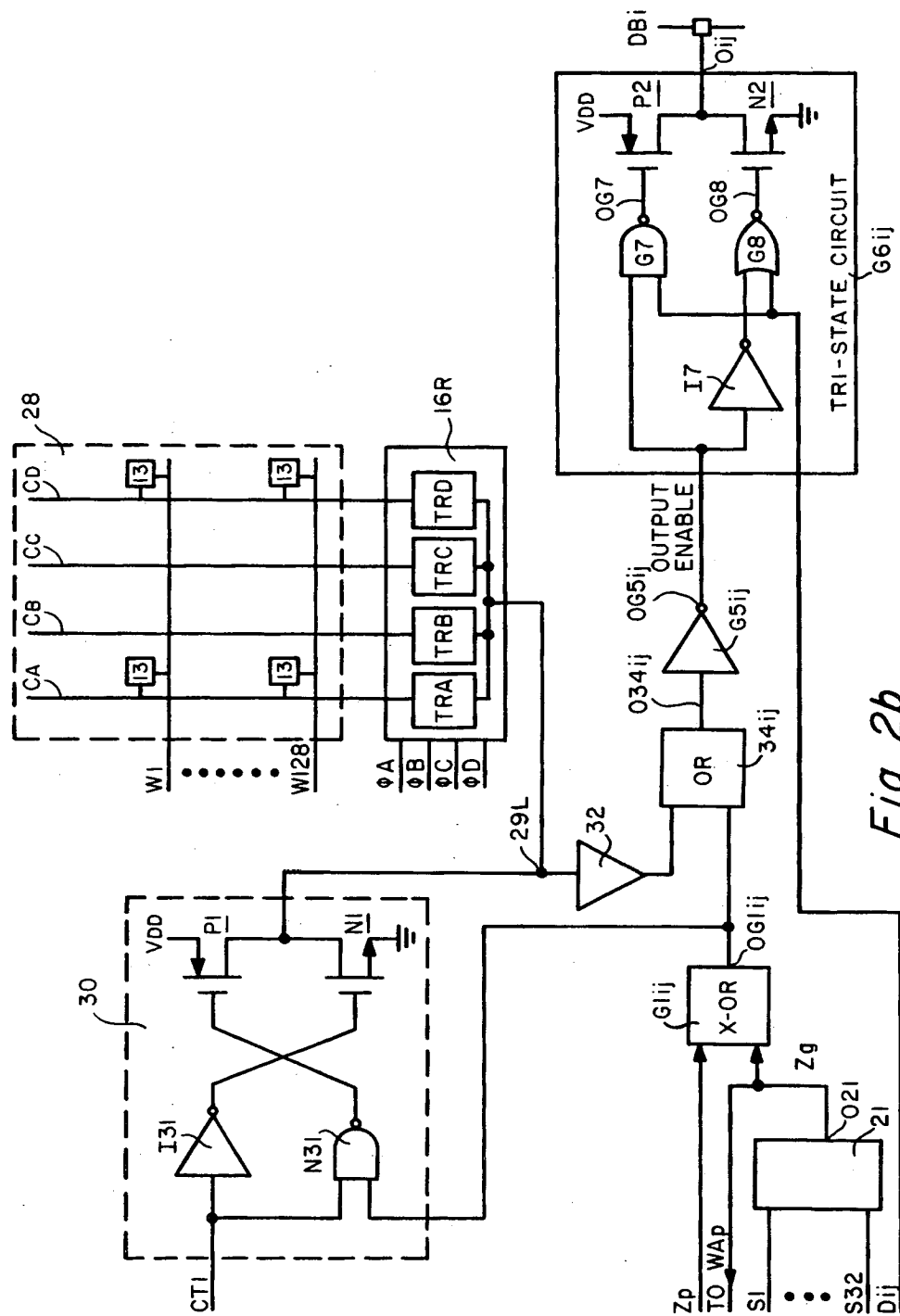


Fig. 2b

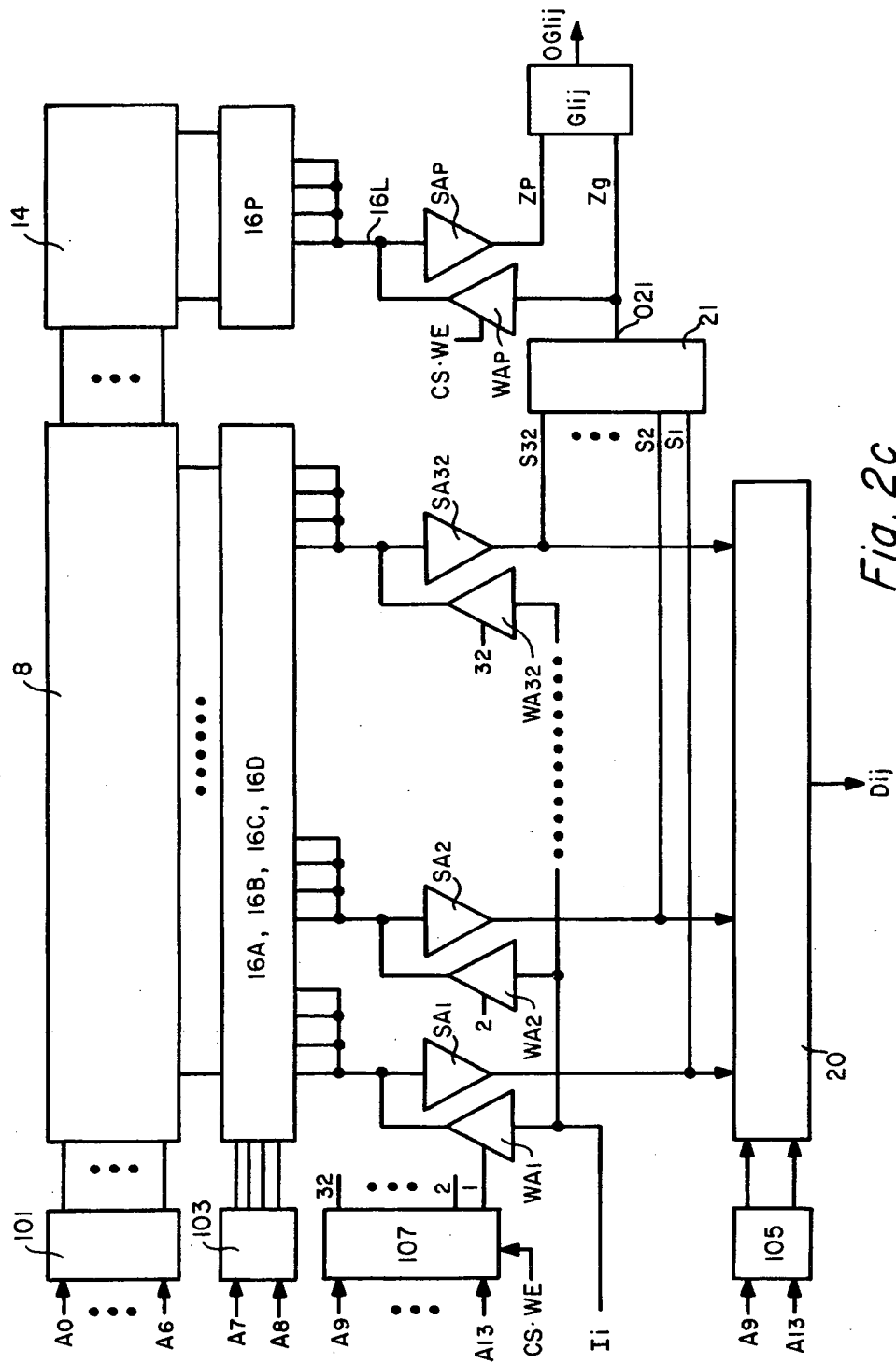


Fig. 2c

MEMORY SYSTEM WITH REDUNDANCY FOR ERROR AVOIDANCE

This invention relates to a memory system and in particular to the detection of errors and the avoidance of faulty read-outs from the memory system.

In many data handling systems several semiconductor integrated circuits (IC's) defined herein as "subsystems" are interconnected to form a memory system. Each IC, or chip, may contain anywhere from 1K to more than 64K bits of information and is generally referred to as a large scale integrated (LSI) circuit or a very large scale integrated (VLSI) circuit.

The advent of LSI and VLSI circuits has introduced new problems in the areas of reliability and testability at the subsystem level. Some are a consequence of reducing the size of the memory cells. The resulting smaller nodal capacitances render the memory cells more susceptible to data upset by noise and radiation effects. Also, due to the smaller memory cells and larger bit line capacitances, smaller bit line signal swings are produced increasing the possibility of errors in reading (sensing) the stored information or in writing the desired information. Consequently, the probability of errors is significantly increased due to the large (and ever increasing) number of cells in each IC (i.e. subsystem) and to the increased number of sources of error. The probability of errors is compounded when several of these subsystems are combined to form a memory system.

The reliability of the memory system may be improved by using known error detection and correction circuitry. For example, large main frame computer systems may make use of Hamming or other high order error detecting and correcting codes to produce reliable and testable memory systems. However, the use of such codes add significantly to the circuit complexity, and limit the speed of operation of the memory systems. Also, these codes generally can only correct one error. An object of the present invention is to provide fault detection which is simple and does not limit the speed of operation of the memory system.

A memory system embodying the invention includes two or more memory modules containing the same information which have their respective data outputs connected to the same data line. Each module includes means for checking the parity of a group of bits containing a particular data bit (or bits) being read-out of the module. In the event of a parity error indication, means within each module prevent read-out of information from the module onto the data line. If the parity signal is correct the particular data bit (or bits) is read-out onto the data line.

In the accompanying drawing like reference characters denote like components, and

FIG. 1 is a block diagram of a memory system embodying the invention; and

FIGS. 2A, 2B and 2C are diagrams of portions of a subsystem embodying the invention used to practice the invention;

The memory system of FIG. 1 includes 8 sets ($i=8$) of two memory chips (M_{ij}), where M identifies a memory chip, i the chip set, and j the chip within a set. Two chips (e.g. M_{11} and M_{12} ; - - - M_{81} and M_{82}) are shown per set for ease of illustration. However, more than two chips could be used per set to increase the system reliability and the number of errors that can be detected and corrected). The data input (I_{ij}) of each chip is con-

nected to its data output (O_{ij}) and the I/O_{ij} terminals of the chips of a set are connected to the same data bus line, DB_i . Information to be written into each set of chips is applied to the data bus lines by a microprocessor or other source (not shown). Consequently, the same information is written into each chip of a set and, assuming error free operation, the same information should be read-out from each chip of a set. Consequently, barring any error or defect, each chip of a set stores an identical copy of the data stored in the other chips of a set. As detailed below, each chip M_{ij} includes means for reading-out a data bit (D_{ij}) onto a data bit line DB_i and for reading a selected internal word which includes the data bit (D_{ij}). The chip also includes means for determining whether or not the parity of the selected internal word is correct and for producing a parity signal indicative thereof. If the parity signal indicates the presence of a parity error the data bit (D_{ij}) of the chip (M_{ij}) is not read-out onto the data bit line (DB_i). This is accomplished by coupling the data bit (D_{ij}) of each chip (M_{ij}) to its corresponding data bit line (DB_i) via a tri-state circuit (G_{6ij} in FIG. 2B) which is controlled by the value of the parity signal and the data bit (D_{ij}). If a parity error is detected, the tri-state circuit output is set to a floating condition whereby the chip output appears as a high output impedance and is effectively removed or disconnected from the circuit. Thus, whenever a chip contains an error it has little if any effect on the signal applied to its corresponding data bit line. The other chip (or chips) connected to the data bit line then determines the signal of the line. For example, assume that chips M_{11} and M_{12} are addressed whereby a selected internal word is read in each chip and concurrently, a particular data bit contained within each selected word is selected for read-out. A parity check on the selected internal word is performed within each chip. If the parity check in chip M_{11} indicates the presence of a parity error, the data bit (D_{11}) from chip M_{11} will not be read-out onto DB_i . Assuming the parity check in chip M_{12} indicates no parity error, the data bit (D_{12}) from chip M_{12} will be read-out and applied to bit line DB_i .

The detailed operation of the system of FIG. 1, as well as some significant features in the construction and partitioning of the chips is best understood by first examining FIGS. 2A, 2B, and 2C which detail part of the contents of each one of the M_{ij} chips. As shown in FIGS. 2A, 2B and 2C each M_{ij} module includes:

(1) A Random Access Memory (RAM) array 8 comprised of 16,384 memory cells 9 arranged in 128 rows (words) and 128 columns (bits). There is a word line (W_r) per row of cells and a bit conductor (B_j) per column of cells. Each row of array 8 is partitioned into 4 "internal" words or sections, respectively designated A, B, C, and D, of 32 bits (columns). So organized, array 8 is effectively partitioned into 512 (i.e. 128×4) "internal" words of 32 bits each. In array 8, each memory cell 9, as set forth in copending applications entitled MEMORY SYSTEM WITH ERROR DETECTION AND CORRECT bearing Ser. No. 362,463 and MEMORY SYSTEM WITH ERROR STORAGE bearing Ser. No. 362,464, may be a static cell, a dynamic cell, a read-only memory cell, a non-volatile cell, or any other suitable storage cell.

(2) A parity array 14 (as shown in FIG. 2A) having 512 bit locations at which are found memory or storage elements which may be of the same type as those in array 8 or which may be any other suitable data storage

devices. Each bit location of array 14 stores a parity bit corresponding to an "internal" 32-bit word of array 8. Array 14 is arranged in 128 rows and 4 columns, the elements of each row of array 14 being connected to a row (word line) conductor connected to a corresponding word line conductor of array 8, and the elements of each column of elements being connected to a column (bit) conductor, B_A , B_B , B_C , and B_D . Each bit conductor of array 14 corresponds to a like lettered section in array 8.

(3) A latching array 28, as shown in FIG. 2B, which may be similar to a parity array 14 and like array 14 includes 512 bit locations, one location for each internal word of array 8. A storage or memory element 13 is located at each bit location of array 28. The elements 13 may be of the same type as those in array 8 and 14 and may be set to the "0" or "1" condition. In the discussion to follow it is arbitrarily assumed that an element 13 in a given location of array 28 set to "0" indicates no parity error in array 8 corresponding to that bit location, whereas if the element is set to "1" it indicates a parity error in the corresponding internal word of array 8. Element 13, once written to the binary "1" state, permanently stores that condition until a system erase condition is established. The "permanent" storage can be achieved in any one of a number of ways as, for example, by the choice of cell used in array 28 or by the mode of writing information into the cells.

The elements of array 28 are arranged in 128 rows and 4 columns. The elements 13 of each row of array 28 are connected to a row (word line) conductor connected to a corresponding word line conductor of arrays 8 and 14 and the elements of each column are connected to a corresponding column (bit) conductor, C_A , C_B , C_C , and C_D . Each bit conductor of array 28 corresponds to a like lettered section in arrays 8 and 14.

(4) A word line decoder 101 (as shown in FIG. 2A) to which 7 address bits (A_0 to A_6) are applied is coupled to the row conductors of arrays 8, 14 and 28. In response to address bits A_0 through A_6 decoder 101 enables one row, at a time, of the 128 rows of arrays 8, 14 and 28.

(5) An internal word and parity bit selector 16, comprised of sections 16A, 16B, 16C, 16D, 16P and 16R, is coupled to arrays 8, 14 and 28 for selecting a particular "internal" word and its corresponding parity bit. Selector 16 is controlled by an internal word predecoder 103 to which two (2) address bits (A_7 and A_8) are applied. The two address bits (A_7 and A_8) determine which one of the four sections (i.e. which group of 32 bits) or array 8 and which column conductor of arrays 14 and 28 is respectively coupled to the thirty-two bit lines (BL_1 through BL_{32}), onto parity line 16L, and onto line 29L. Selector 16 includes one transmission gate per bit conductor in arrays 8, 14, and 28. Selector 16 is partitioned so that corresponding to each section (A, B, C, D) of array 8 there is a corresponding section (16A, 16B, 16C and 16D). Under the control of address bits A_7 and A_8 and decoder 103 only one of sections A, B, C, and D is turned-on at any one time, whereby only 32 (one section) of the 128 bit conductors of array 8 are coupled, at any one time, via transmission gates to the 32 bit lines (BL_1 through BL_{32}). Similarly, the 4 bit conductors of parity array 14 are multiplexed via corresponding transmission gates T_A , T_B , T_C and T_D in section 16P onto parity line 16L. Only one of T_A , T_B , T_C and T_D is turned-on at any one time, being turned-on only when its corresponding like lettered group 16A, 16B, 16C or 16D is turned-on. The signal on line 16L is applied via

an amplifier SA_P to one input of a two-input Exclusive-OR gate G_{1ij} . Thus, when a 32 bit word is read-out of array 8 onto bit lines BL_1 through BL_{32} , a parity bit (Z_P) stored in array 14 corresponding to that word is read-out onto line 16L and applied to G_{1ij} .

Similarly, the 4 bit conductors of latch array 28 are multiplexed via corresponding transmission gates TRA , TRB , TRC and TRD in section 16R onto latch line 29L. Only one of TRA , TRB , TRC and TRD is turned-on at any one time, being turned-on only when its corresponding like lettered group 16A, 16B, 16C or 16D is turned-on. The signal on line 29L is applied via an amplifier 32 to one input of a two-input OR gate 34_{ij} . Thus, when a 32 bit word is read-out of array 8 onto bit lines BL_1 through BL_{32} , a signal stored in array 28 corresponding to that word is read-out onto line 29L and applied via an amplifier 32 to OR gate 34_{ij} .

(6) 32 sense amplifiers and latches (SA_{ij}) coupled to the bit lines for amplifying the 32 bits of a selected "internal" 32 bit word. The signals on bit lines BL_j are amplified by their corresponding sense amplifiers SA_{ij} to produce well defined binary levels at their S_j outputs. That is, either a "low" level is produced, where the low level is a voltage at or close to ground potential which is arbitrarily defined as logic "0" or "0"; or a "high" level is produced, where the high level is a voltage at or close to V_{DD} volts which is arbitrarily defined as logic "1" or "1", and where V_{DD} is assumed positive with respect to ground.

(7) A bit decoder 20 is coupled between the S_j outputs and a data bit output for selecting a single "raw" data bit out of a selected "internal" 32-bit word and producing the "raw" data bit output (D_{ij}). Output D_{ij} is denoted herein as "raw" because it is coupled to tri-state circuit G_{6ij} before being applied to the chip output (O_{ij}) from which it is coupled via its data bus (DB_i) to a microprocessor (not shown) or other data handling systems "external" to the memory chip.

(8) A bit predecoder 105 to which are applied 5 address bits (A_9 and A_{13}) is coupled to decoder 20 and controls bit decoder 20 to select a particular data bit D_{ij} out of the 32 bit "internal" word.

(9) A section for parity checking and data output control is shown in FIG. 2B. Included is a parity generator 21 having 32 inputs to which are applied the 32 S_j signals. Therefore the 32 bits of a selected internal word are applied, after amplification, to generator 21 which has an output (O_{21}) at which is produced a signal Z_g which represents the parity of the 32 bit "internal" word. The output Z_g of generator 21 and the corresponding parity bit Z_P derived from the output of the internal word parity selector 16P are applied to the two inputs of gate G_{1ij} . The parity generator 21 and X-OR gate G_{1ij} together comprise a parity checker. The output (OG_{1ij}) of G_{1ij} (which when it is equal to a "1" indicates a parity error) is applied to the other input of OR gate 34_{ij} .

The output O_{34ij} gate 34_{ij} is applied to the input of an inverter G_{5ij} . The output OG_{5ij} of G_{5ij} and the "raw" D_{ij} data output are applied to the two inputs of a tri-state circuit G_{6ij} whose output (O_{ij}) is applied to a corresponding data bus (DB_i) line. As detailed below and in copending application MEMORY SYSTEM WITH ERROR STORAGE, referred to above, and whose teachings are incorporated herein by reference, the output O_{34ij} will be "high" or "1" whenever there is a present or past parity error associated with the internal word being read and one of whose bits (D_{ij}) is

being read-out and O34ij will be "low" or "0" when there is no parity error associated with the internal word.

The output OG5ij of gate G5ij is applied to one input of a two-input NAND gate G7 and to the input of an inverter I7. The output of inverter I7 is applied to one input of two-input NOR gate G8. The other input to NAND gate G7 and to NOR gate G8 is the raw data (Dij). The output (OG7) of gate G7 is applied to the gate electrode of an insulated-gate field-effect transistor (IGFET) P2. The output OG8 of NOR gate G8 is applied to the gate electrode of an IGFET N2. The source drain path of P2 is connected between a source of operating potential V_{DD} and the chip output Oij and the source drain path of transistor N2 is connected between Oij and ground potential. Transistors N2 and P2, when turned-on, are capable of clamping Oij and DBi to ground and V_{DD} , respectively, via their relatively low ON-impedance. When turned-off, N2 and P2 appear as high impedances and have little, if any, effect on the output Oij and DBi.

The operation of the tri-state circuit G6ij, detailed in TABLE A below, is such that whenever O34ij is "high"—indicating the presence of a parity error in the selected internal word containing the data bit Dij being read-out—P2 and N2 are turned-off and the output Oij floats. That is, Oij is coupled to V_{DD} and ground via the high impedances of turned-off transistors N2 and P2. Whenever O34ij is "low"—indicating no error in the selected internal word containing the data bit (Dij) being read-out—Oij will be clamped to V_{DD} or to ground via the low ON-impedance of P2 or N2 as dictated by the value of Dij.

TABLE A

O34ij	OG5ij	Dij	OG7	OG8	P2	N2	Oij
(Error) Hi	Disable LO	HI	HI	LO	OFF	OFF	Floating
(Error) Hi	Disable LO	LO	HI	LO	OFF	OFF	Floating
(No Error) LO	Enable HI	HI	LO	LO	ON	OFF	HI
(No Error) LO	Enable LO	LO	HI	HI	OFF	ON	LO

When O34ij is high, OG5ij low causes OG7 to be high and OG8 to be low. When OG7 is high P2 is turned-off and when OG8 is high N2 is turned-off. When P2 and N2 are turned-off Oij is left to float. When O34ij is low, OG5ij is high and the tri-state circuit is enabled. The output Oij is then driven to assume the same binary state as Dij. That is when Dij is high (logic "1") transistor P2 is turned-on clamping Oij to V_{DD} via its relatively low-ON-impedance while N2 is turned-off. Where Dij is low (logic "0") transistor P2 is turned-off while N2 is turned-on clamping Oij to ground via its relatively low-ON-impedance.

Assume, for example, that OG11 of chip M11 is high indicative of the presence of a parity error in the internal word read in chip M11. O11 will then be floating in that N2 and P2 of G611 will be turned-off. Assume that OG12 of chip M12 is low indicating that the parity of its internal word is correct. O12 will then be driven to V_{DD} or ground depending on the value of D12. Hence, correct data is applied to DB1 since any false or suspected data present in M11 is inhibited or prevented from being applied to DB1.

It has thus been shown that when there is a parity error associated with an internal word, any data bit in that word is suspect and none of the data bits in that

word will be read-out to an external source or user. It is only when the parity of the internal word is correct that the bits of that internal word will be relied upon to apply an output signal to an external source or user.

The writing of information into the RAM array 8, the generation of a parity bits and their storage in parity array 14, the read-out of information and parity checking and storage will now be discussed in greater detail.

As mentioned, OG1ij indicates whether or not a parity error exists in an internal word. The information present at OG1ij is written into array 28 by means of a network 30 which includes an inverter I31, a two-input NAND gate N31 and two insulated-gate field-effect transistors (IGFETs) P1 and N1. OG1ij is applied to one input of gate N31 while a control signal (CT1) generated by a microprocessor or other source (not shown) is applied to the other input of N31 and to the input of inverter I31. The output OI31 of I31 is applied to the gate electrode N1 and the output ON31 of N31 is applied to the gate electrode of P1. The source-drain path of P1 is connected between a source of V_{DD} volts and line 29L and the source-drain path of N1 is connected between line 29L and ground. Transistors N1 and P1 are relatively large devices capable, when turned-on, of clamping line 29L to ground or V_{DD} , respectively, via a relatively low impedance.

Circuitry needed to write information into memory 8 and parity array 14 is shown separately in FIG. 2C to simplify the drawings.

Referring to FIG. 2C, when a new data bit Ii is to be written into the memory 8 a decoder 107 is first energized in response to a logical product signal CS•WE (where CS=chip select and WE=write enable) from a microprocessor or other source (not shown). Decoder 107 has 5 address inputs (A9 through A13) and 32 outputs. Each one of the 32 outputs is connected to a different write amplifier (WAp). The write amplifiers are connected at their inputs to an input signal line and at their outputs to a bit line BLj. They are, preferably, low output impedance tri-state devices capable of overriding and overwriting the information on their associated bit lines. In response to any selected 5 bit address (A9 through A13) applied to its inputs, decoder 107 enables one of the write amplifiers called for by that address.

It should be noted that during a write cycle (in fact, just before a new bit is actually written into a memory location) a read is performed. That is, an internal word called for by addresses A0-A6 and A7-A8 is read-out onto the bit lines (BLj). The selected write amplifier in response to Ii writes over the information read-out on its associated bit line. The information on the 32 bit lines thus includes 31 old bits of information and one new bit of information.

Consequently, when a new data bit is being written into a chip, the data bit being written becomes part of an "internal" word. The "new" internal word is coupled via the SAj amplifiers to parity generator 21. A new parity bit corresponding to the parity of the "new" internal word is generated at the output O21 of parity generator 21 which is the same parity generator 21, used during the read cycle. The "new" parity bit Zg at the output of generator 21 is applied via a write amplifier WAp onto line 16L and is then written and stored in a given location of parity array 14 corresponding to the location of the selected internal word. Note that WAp is controlled by the CS•WE signal, whereby WAp is on

regardless of which WAj amplifier is selected by decoder 107.

It is assumed that the RAM array 8 is organized into internal words, each having a length of 32 bits and that corresponding to each internal word there is a parity bit stored in array 14. Whenever a particular data bit location is addressed and its bit is to be read out, the 32 bit internal word in which the particular data bit is contained is read-out and is applied to the inputs of a parity generator 21. The output Zg of the parity generator 21, indicative of the parity of the internal word, is applied to X-OR gate G1ij. The parity bit Zp stored in array 14 corresponding to the 32 bit internal word is also read-out and is applied to the other input of gate G1ij.

Concurrently, the 32-bit internal word is further decoded in decoder 20 to produce at the output of 20 the particular "raw" data bit (Dij) corresponding to the 14 address bits applied to the system. The output, OG1ij, of G1ij indicates whether parity is correct. As shown in table 1 below, if OG1ij is a logic "zero", there is no parity error in the "internal" 32-bit word read-out of the memory. If OG1ij is a "1", there is a parity error in the "internal" word read-out of the memory. OG1ij indicates the status of the parity of the "internal" word at the chip or subsystem level. Therefore OG1ij functions as an error flag indicating whether an error exists in one of 33 bits, where the 33 bits include the 32 bits of the "internal" word read-out and its corresponding parity bit.

TABLE 1

Z _R	Z _p	OG1ij	
0	0	0	Match - No Error
1	0	1	Error
0	1	1	Error
1	1	0	Match - No Error

OG1i is applied to one input of OR gate 34 and to one input of NAND gate N31.

As noted above, if OG1ij indicates the presence of an error, there is no mechanism for (immediately) correcting the faulty bit in the internal word. If subsequently a "new" data bit is written into the faulty internal word, a new parity bit will be generated and stored in parity array 14. When the "new" data bit is then read-out the error flag OG1ij will indicate no error when in fact the error may still be present in the internal word. In the present system such an error continues to be indicated. It is stored in array 28 and its operation and the operation of the associated write and read networks are now detailed.

The type of information written into array 28 is determined by control signal CT1 and the output OG1ij. When CT1 is low, OI31 is high and N1 is turned-on clamping line 29L to ground. Concurrently, when CT1 is low, (regardless of whether OG1ij is high or low) ON31 is high maintaining P1 turned-off.

When CT1 is low, the signal O29 on line 29L is low; every bit location in memory array 28 can be addressed, via word lines W1 through W128 and column conductors C_A, C_B, C_C and C_D, and a "0" written into each bit location. The all "0" condition of array 28 corresponds to the initial condition to which array 28 is set and also indicates the absence of any error in array 8. Following the initializing of latch array 28, CT1 is driven high. The output of I31 then goes low maintaining N1 turned-off. Since N1 is turned-off, line 29L cannot be driven to the zero volt of "0" condition and "0's" can no longer

be written into array 28; (i.e. only "1's" can be written into memory 28).

CT1-high applied to one input of gate N31 causes the latter to function as an inverter with respect to the OG1i signal. When OG1i is low—indicating that there is no parity error in the internal word addressed by the memory system (i.e. a match exists between Zp and Zg)—ON31 is high and P1 remains turned-off. Concurrently, OI31 is also low and N1 is also turned-off. Hence, P1 and N1 are turned-off and appear as very high impedances connected between line 29L and their respective power lines. Due to the high impedances of P1 and N1, the voltage on line 29L is determined by the condition of the addressed memory cell of array 28. Any addressed storage element in array 28 will then remain in the previously written "0" (or "1") condition.

When OG1ij goes high—indicative of a parity error—ON31 is driven low and P1 is turned-on clamping line 29L to V_{DD} volts or "high". The bit location in array 28 corresponding to the selected "internal" word in array 8 will then be written to the high or "1" state. Once written to the "1" state, the storage element remains high until CT1 is again driven low. Barring the generation of a CT1-low signal, a bit location in array 28 once written high remains high. The condition of line 29L for the different possible values of CT1 and OG1ij is summarized in Table 2 below.

TABLE 2

CT1	OG1i	P1	N1	O29
LO	HI	OFF	ON	Active LO
LO	LO	OFF	ON	Active LO
HI	LO	OFF	OFF	Floating
HI	HI	ON	OFF	Active HI

The role of array 28, during a read cycle, after a "1" has been written in a bit location of array 28 is now examined.

On a subsequent read cycle, if a once faulty internal word of array 8 is again addressed, the "1" stored in a corresponding bit location in array 28 is addressed and produced on line 29L. It is then sensed via amplifier 32 and applied to one input of OR gate 34ij. The output of gate 34ij thus indicates the existence of a present or past error whenever a faulty or once faulty internal word is selected.

Thus, once an error has been detected in an internal word, there is an error flag stored in array 28 which will be produced whenever that internal word location is addressed. The error indication will persist until the system is cleared by driving CT1 low and cycling through the addresses of array 28. After an error in an internal word is detected and stored on array 28 a new data bit may be written into the previously faulty internal word, and a new parity bit corresponding to the "new" internal word is generated and stored in parity section 14. Assuming that no error creeps into the new internal word and/or the associated parity bit, the parity for the new word will be correct (OG1i=0). But, assuming the error previously detected in this word has not been corrected, there is still an error in the word even though the parity checker 21, G1ij says that parity is correct. This error is indicated in the present system by the output (O34ij) of OR gate 34 which is high.

As discussed earlier the output of OR gate 34ij is then used to disable or enable the tri-state gate G6ij.

For ease of illustration the tri-state circuit G6ij has been shown with two input signals, OG5i, and Dij.

OG5ij functions as an enable/disable control signal, and Dij is the data input. It should be appreciated that, in practice, other signals (not shown) are applied to the tri-state circuit, directly or indirectly, to selectively disable it as, for example, during write and when the chip is not selected. Also, in practice, the OG5ij output could be brought out to a separate pin on the chip from which it could be selectively coupled to generate a chip select or deselect signal fed back to control chip functions.

Unlike Hamming code correction, two level parity code correction, or other known techniques, the present error avoidance technique can be extended to detect and correct two or more errors. To protect against two errors on two different chips three chips would be used with their I/O terminals being connected to the same data line. Correction to protect against two errors within the same internal word on the same chip, an internal two level parity check could be used or any other suitable error detection scheme. A singular advantage of circuits and systems embodying the invention is that the error bit does not have to be located. It is sufficient to detect an error in a group of data bits. There is no need to identify which bit is faulty. This enables a single and fast system to be built. The error avoidance system is also readily adaptable for use with memory chips whose output are "byte" wide (each byte having 4 or 8 bits wide in comparison to the chips shown in FIGS. 1 and 2 having a single output) where conventional Hamming code correction systems are defeated by multiple bit failures on a single chip.

What is claimed is:

1. A memory system comprising:

- a common bus adapted to receive data signals;
- N memory modules, where N is an integer greater than one, each one of said N memory modules being operated in parallel with the same information being written in their corresponding bit locations, each one of said N modules including:
 - (a) a random access memory (RAM) array and organized into W internal words, each word having L bits;
 - (b) a parity array for storing a parity bit for each internal word;
 - (c) means coupled to said RAM array for selectively reading a selected internal word and for concurrently reading-out onto a data output line a selected bit contained within said selected internal word;
 - (d) means receptive of a selected internal word and its corresponding parity bit for ascertaining whether its parity is correct and for producing a first output signal indicative thereof;
 - (e) selectively enabled means within each module for coupling its data output line to said common bus; and
 - (f) control means within each module, coupled to said selectively enabled means, responsive to said first output signal for disabling said selectively enabled means and preventing the application of said selected bit to said common bus when said first output signal has a value indicative of a parity error.

2. The memory system as claimed in claim 1 wherein said selectively enabled means includes a tri-state circuit receptive of said first output signal and said selected bit and having an output coupled to said common bus, said tri-state being set to a high output impedance condition when said first output signal is indicative of a parity error and said tri-state output being driven to a binary condition responsive to the value of said selected bit when said first output signal is indicative that the parity is correct.

3. A memory system comprising:
a common bus structure;

N memory modules, where N is an integer greater than 1, and where the same information is written into each one of said N modules,

and where the N modules are read-out in parallel, each one of said N modules including:

- (a) a random access memory (RAM) array organized into W internal words, each word having L bits;
- (b) means for generating a parity bit for each interval word and a parity array for storing each one of said parity bits;
- (c) means coupled to said RAM for reading-out a selected internal word and for concurrently reading-out a particular subset of the L bits in said internal word; and
- (d) means receptive of a selected internal word and its corresponding parity bit for ascertaining whether its parity is correct and for producing a first output signal indicative thereof;
- (e) selectively enabled means within each module for coupling said particular subset of the L bits to said common bus structure; and
- (f) means within each module responsive to said first output signal when it is indicative of a parity error in the selected internal word for disabling said selectively enabled means and preventing the application of said particular subset of the L bits to said common bus structure, and responsive to said first output signal when it is indicative of no parity error for enabling said selectively enabled means.

4. A memory system comprising:

a common line;

"N" similar memory modules having means for storing data bits and each module having a data output connected to said common line; where N is an integer greater than 1;

means for writing the same information into said N memory modules; and

reading means for subsequently reading, in parallel, supposedly identical information stored in said N modules; said reading means including means located in each module for checking the parity of the information being read-out of each module and also including means for coupling the information from said module to said common line if the parity check indicates it to be correct and for inhibiting the passage of information to said common line if the parity check indicates the presence of an error, whereby only data bits whose corresponding parity indicates them to be correct are coupled from said N modules to said common line.

* * * * *

UNITED STATES PATENT AND TRADEMARK OFFICE CERTIFICATE OF CORRECTION

PATENT NO. : 4,464,754

DATED : August 7, 1984

INVENTOR(S): Roger Green Stewart et al.

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

Col. 2, line 32, change "of" to - - - on - - -.

Col. 3, line 49, change "or" to - - - of - - -.

Col. 4, line 23, change "produces" to - - - produced - - -.

Col. 4, line 40, change "and" to - - - to - - -.

Col. 4, line 58, after "034ij" insert - - - of - - -.

Col. 4, line 60, remove "l".

Col. 5, line 44, after "high," insert - - - OG5ij is low,
and the tri state circuit is disabled.
That is - - -.

Col. 5, line 52, change "impedance" to - - - impedance - - -.

Col. 7, line 14, change "gale" to - - - gate - - -.

Signed and Sealed this

Second **Day of** *April 1985*

[SEAL]

Attest:

DONALD J. QUIGG

Attesting Officer

Acting Commissioner of Patents and Trademarks

THIS PAGE BLANK (USPTO)

**UNITED STATES PATENT AND TRADEMARK OFFICE
CERTIFICATE OF CORRECTION**

PATENT NO. : 4,464,754

DATED : August 7, 1984

INVENTOR(S): Roger Green Stewart et al.

It is certified that error appears in the above-identified patent and that said Letters Patent is hereby corrected as shown below:

Col. 2, line 32, change "of" to - - - on - - -.

Col. 3, line 49, change "or" to - - - of - - -.

Col. 4, line 23, change "produces" to - - - produced - - -.

Col. 4, line 40, change "and" to - - - to - - -.

Col. 4, line 58, after "034ij" insert - - - of - - -.

Col. 4, line 60, remove "]".

Col. 5, line 44, after "high," insert - - - OG5ij is low,
and the tri state circuit is disabled.

That is - - -.

Col. 5, line 52, change "impedance" to - - - impedance - - -.

Col. 7, line 14, change "gale" to - - - gate - - -.

Signed and Sealed this

Second **Day of** *April* 1985

[SEAL]

Attest:

DONALD J. QUIGG

Attesting Officer

Acting Commissioner of Patents and Trademarks

THIS PAGE BLANK (USPTO)



INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ :

H03K 19/003

A1

(11) International Publication Number:

WO 97/40579

(43) International Publication Date:

30 October 1997 (30.10.97)

(21) International Application Number: PCT/US97/06642

(22) International Filing Date: 18 April 1997 (18.04.97)

(30) Priority Data:

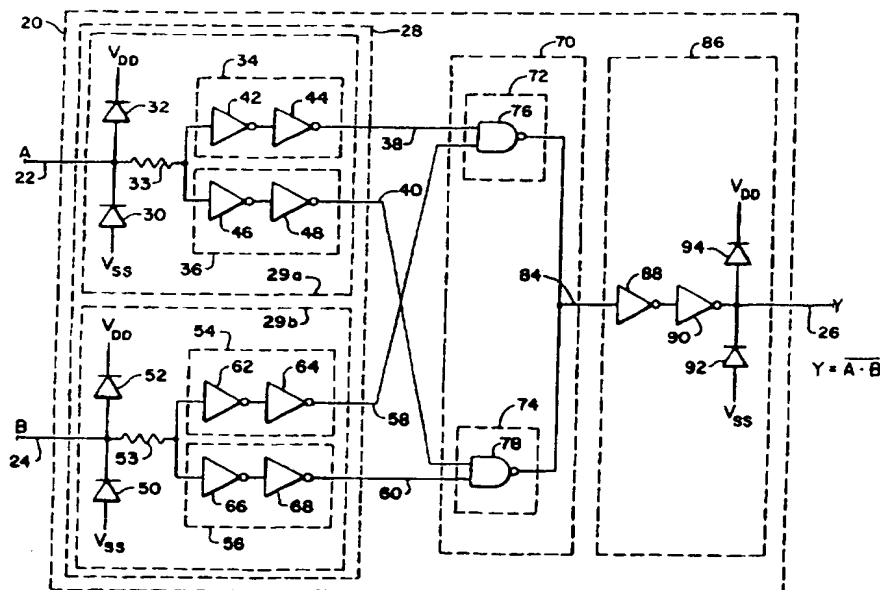
635,853

22 April 1996 (22.04.96)

US

(71) Applicant: UNITED TECHNOLOGIES CORPORATION
[US/US]; Hamilton Standard Division, One Hamilton Road,
Windsor Locks, CT 06096-1010 (US).(72) Inventors: LAHEY, Michael, D.; 2075 Chapel Hills Drive,
Colorado Springs, CO 80920 (US). HARRIS, Debra, S.;
2113 Winston Road, Colorado Springs, CO 80909 (US).
GARDNER, Harry, N.; 1605 Bandedrock Court, Colorado
Springs, CO 80919 (US). BARRY, Michael, J.; 16025 S.W.
Colony Place, Tigard, OR 97224 (US).(74) Agent: KELLY, Robert, H.; Intellectual Property Counsel,
Hamilton Standard, One Hamilton Road, Windsor Locks,
CT 06096-1010 (US).(81) Designated States: JP, European patent (AT, BE, CH, DE, DK,
ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).**Published***With international search report.**Before the expiration of the time limit for amending the
claims and to be republished in the event of the receipt of
amendments.*

(54) Title: RADIATION RESISTANT LOGIC CIRCUIT



(57) Abstract

Apparatus for performing a selected logic function includes a first logic portion which receives one or more logic state input signals and performs the selected logic function on the input signals to provide one or more output signals, and further includes a second logic portion which receives the one or more input signals and performs the selected logic function on the input signals to provide one or more output signals, and combines each output signal from the first logic portion with the corresponding output signal from the second logic portion to provide one or more resultant logic output signals which have improved reliability in a radiation environment.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AL	Albania	ES	Spain	LS	Lesotho	SI	Slovenia
AM	Armenia	FI	Finland	LT	Lithuania	SK	Slovakia
AT	Austria	FR	France	LU	Luxembourg	SN	Senegal
AU	Australia	GA	Gabon	LV	Latvia	SZ	Swaziland
AZ	Azerbaijan	GB	United Kingdom	MC	Monaco	TD	Chad
BA	Bosnia and Herzegovina	GE	Georgia	MD	Republic of Moldova	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagascar	TJ	Tajikistan
BE	Belgium	GN	Guinea	MK	The former Yugoslav Republic of Macedonia	TM	Turkmenistan
BF	Burkina Faso	GR	Greece	ML	Mali	TR	Turkey
BG	Bulgaria	HU	Hungary	MN	Mongolia	TT	Trinidad and Tobago
BJ	Benin	IE	Ireland	MR	Mauritania	UA	Ukraine
BR	Brazil	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Iceland	MX	Mexico	US	United States of America
CA	Canada	IT	Italy	NE	Niger	UZ	Uzbekistan
CF	Central African Republic	JP	Japan	NL	Netherlands	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norway	YU	Yugoslavia
CH	Switzerland	KG	Kyrgyzstan	NZ	New Zealand	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Democratic People's Republic of Korea	PL	Poland		
CM	Cameroon	KR	Republic of Korea	PT	Portugal		
CN	China	KZ	Kazakhstan	RO	Romania		
CU	Cuba	LC	Saint Lucia	RU	Russian Federation		
CZ	Czech Republic	LI	Liechtenstein	SD	Sudan		
DE	Germany	LK	Sri Lanka	SE	Sweden		
DK	Denmark	LR	Liberia	SG	Singapore		
EE	Estonia						

Description

RADIATION RESISTANT LOGIC CIRCUIT

Technical Field

This invention relates to semiconductor electronic circuits and
5 more particularly to semiconductor logic circuits.

Background Art

A single event upset (SEU) is the result of an ion transitioning
through a semiconductor structure and depositing charge on a critical
circuit node within that structure. In a CMOS logic circuit, this can
10 cause an unintended switch in the logic state, creating potentially
catastrophic consequences for the system. In the case of storage
cells, the primary SEU problem lies in the feedback path, where
amplification and feedback of noise on a critical node can
permanently change the cell's logic state.

15 Known SEU hardening techniques for CMOS logic include the
use of redundant circuit paths. Dual circuit paths provide redundancy
and allow implementation of voting schemes to reduce the effect of
SEUs. However, the typical voting scheme uses digital logic to
recombine the redundant paths, and thereby actually provides
20 amplification of the SEU.

Disclosure of Invention

An object of the present invention is to provide a logic circuit architecture which has higher reliability in a radiation environment.

Still another object of the present invention is to provide
5 circuitry for a family of logic products having higher reliability in a radiation environment.

According to the present invention, apparatus for performing a selected logic function includes a first logic portion which receives one or more logic state input signals and performs the selected logic
10 function on the logic state input signals to provide one or more output signals, and further includes a second logic portion which receives the one or more logic state input signals and performs the selected logic function on the logic state input signals to provide one or more output signals, and further combines each output signal from the first
15 logic portion with the corresponding output signal from the second logic portion to provide one or more resultant logic output signals.

In further accord with the present invention, apparatus for performing a selected logic function includes an input section which receives one or more logic state input signals and provides a pair of
20 buffered logic state signals for each, and further includes, a logic section having a first and second portion, each receiving one logic state signal from each of the pairs of buffered logic state signals, and each performing the selected logic function on the logic state signals received thereby to each provide one or more output signals, and
25 each of said output signals from the first portion combined in analog fashion with a corresponding one of the output signals from the

second portion to provide one or more logic section output signals, and further includes an output section receiving each of the one or more logic section output signals and providing one or more resultant logic output signals.

5 The present invention provides a combinatorial logic circuit having higher reliability in a radiation environment. The present invention further provides circuitry for a family of products having higher reliability in a radiation environment with little impact to the die size and no decrease in functionality.

10 These and other objects, features, and advantages of the present invention will become apparent in light of the following detailed description of a best mode embodiment, accompanying Drawings, and claims.

Brief Description of the Drawings

15 FIG. 1 is a schematic illustration of a NAND logic function, which is used in the description of the present invention;

 FIG. 2 is a schematic illustration of the best mode embodiment of the present invention as used in the NAND logic function of FIG.

20 1;

 FIG. 3 is a schematic illustration of one element used in the embodiment of Fig. 2; and

 FIG. 4 is a schematic illustration of another element used in the embodiment of Fig. 2.

Best Mode for Carrying out the Invention

The apparatus of the present invention is disclosed with respect to a best mode embodiment for use in a logic circuit providing the NAND logic function represented in FIG. 1. As should be
5 understood by those skilled in the art, the drawing figures are only schematic representations, and are not intended to portray physical details.

Referring to FIG. 1, in a prior art schematic of a selected logic device, a two input NAND circuit 20 receives logic signal A on line
10 22 and logic signal B on line 24, and produces a NAND logic output signal Y on line 26. As known, the logical operation of the NAND circuit 20 can be described by the equation $Y = \text{NOT}(A \cdot B)$.

Referring now to FIG. 2, in the present invention's best mode embodiment of the NAND circuit 20 of FIG. 1, logic signal A on line
15 22 and logic signal B on line 24 are each received by an input section 28.

Each of the logic signals on lines 22, 24 are presented to an associated one of a pair of signal conditioning circuits 29a, 29b within the input section 28. As described hereinafter, the signal
20 conditioning circuits 29a, 29b are identical. The circuit 29a has a diode 30 which provides protection against logic signal A magnitudes less than the lower power supply voltage magnitude V_{SS} , and a diode 32 which provides protection against logic signal A magnitudes greater than the upper power supply voltage magnitude V_{DD} . In the
25 best mode embodiment V_{SS} is approximately zero (0) volts and V_{DD} is in the range of from 4.5 to 5.5 volts. To afford the best protection,

the diodes 30, 32 are physically located as close to where the input signal on line 22 is received, as is practical. In situations where the input signal A on line 22 cannot exceed the magnitude range of the power supplies, such as where the source of logic signal A resides on the same integrated circuit as the NAND circuit 20, the two diodes
5 30, 32 may not be necessary.

The circuit 29a further comprises a series resistor 33 that is electrically connected between the diodes 30, 32 and the signal inputs a pair of buffer stages 34, 36. The resistor 33 provides electrostatic
10 discharge protection (ESD) on line 22. The buffer stages 34, 36 each receive the ESD protected signal and provide a pair of buffered, redundant A signals on lines 38, 40 respectively. The pair of buffer stages 34, 36 represent independent signal paths, such that, a failure in one of the pair of buffer stages 34, 36 will not disturb the logic
15 signal out of the other. To further this end, in the best mode embodiment, the pair of buffer stages 34, 36 are physically spaced further apart than normal so that the effect of a single ion transitioning through the semiconductor structure is less likely to cause single event upset (SEU) in both of the pair of buffer stages 34,
20 36.

In the best mode embodiment, the pair of the buffer stages 34, 36 provide the same logic function, non inverting buffering, and comprise logic gates of the same type, so that the pair of buffered A signals on lines 38, 40 are substantially similar to each other in logic
25 state and timing. However, as will be obvious to those skilled in the art, one or both of the pair of buffer stages 34, 36 may provide a logic

function other than non inverting buffering, so long as suitable modifications are made to other logic, described below, in the NAND circuit 20.

In the best mode embodiment, each of the buffer stages 34 and 5 36, comprise cascaded first and second inverter 42, 44 and 46, 48, respectively. The inverters are shown to be identical. The first inverters 42, 46 buffer and invert the logic signal. The second inverters 44, 48 restore the logic states of the pair of buffered A signals on lines 38, 40 to that of the input signal A on line 22.

10 Fig. 3 is a circuit for the inverter 42, which comprises a P channel MOSFET 42a and an N channel MOSFET 42b. The input pin (IN) of the first inverter 42 is electrically connected to the gate 42c of the P channel and the gate 42d of the N channel MOSFETs. The source 42e of the P channel is connected to V_{DD} and the source 15 42f of the N channel is connected to V_{SS} . The drain 42g of the P channel MOSFET is connected to the drain 42h of the N channel which then serves as the output (OUT) for the first inverter 42. The other inverters 44, 46, 48 have similar transistor level circuits to that of the first inverter 42.

20 The operation of the first inverter 42 is as follows. When the signal input at IN is at a high logic state voltage, the N channel MOSFET 42b is "on", i.e. its resistance from drain to source is low, and the P channel MOSFET 42a is "off", i.e. its resistance from drain to source is high. At the output, this produces a low resistance to the 25 V_{SS} supply and a high resistance to the V_{DD} supply. The result is a voltage on the output (OUT), approximately equal to V_{SS} , which

represents a low logic state. When IN is at a low logic state voltage, the P channel MOSFET 42a is "on" and the N channel MOSFET 42b is "off". At the output, this produces a low resistance to the V_{DD} supply and a high resistance to the V_{SS} supply. The result is a voltage on the output (OUT), approximately equal to V_{DD} , which represents a high logic state.

Referring again to FIG. 2, the B input logic signal on line 24 is received by signal conditioning circuitry 29b which is similar to that described with respect to circuit 29a. Two diodes 50, 52 provide under voltage and over voltage protection. In situations where the input signal B on line 24 can not exceed the range of the power supplies the two diodes 50, 52 may not be necessary. A series resistor 53 is positioned after the two diodes 50, 52 to provide electrostatic discharge protection (ESD) on the input signal B on line 24. The ESD protected input signal is then passed to a pair of buffer stages 54, 56 which provide a pair of buffered B signals on lines 58, 60 respectively. A failure in one of the pair of buffer stages 54, 56 will not disturb the logic signal out of the other. In the best mode embodiment, the pair of buffer stages 54, 56 are physically spaced further apart than normal so that the effect of a single ion is less likely to cause single event upset (SEU) in both of the pair of buffer stages 54, 56.

In the best mode embodiment, the pair of buffer stages 54, 56 provide the same logic function, non inverting buffering, and comprise logic gates of the same type, so that the pair of buffered B signals on lines 58, 60 are substantially similar to each other in logic

state and timing. As will be obvious to those skilled in the art, one or both of the pair of buffer stages 54, 56 may provide a logic function other than non inverting buffering, so long as suitable modifications are made to other logic, described below, in the NAND circuit 20.

5 In the best mode embodiment, each of the buffer stages 54 and 56, comprise a first and second inverter 62, 64 and 66, 68, respectively. The first inverters 62, 66 buffer and invert the input signal B on line 24. The second inverters 64, 68 restore the logic states of the pair of buffered B signals on lines 58, 60 to that of the
10 input signal B on line 24. All four of these inverters 62, 64, 66, 68 have similar transistor level circuits to that of the first inverter 42. The NAND circuit 20 further comprises a logic section 70 having a first portion 72 and a second portion 74. The first and second portions 72, 74 each receives one signal from each of the buffered A
15 and B signal pairs on lines 38, 40 and 58, 60. The first and second portions 72, 74 represent independent signal paths, such that, a failure in one will not disturb the logic of the other. To this end, in the best mode embodiment, the portions 72, 74 are physically spaced further apart than normal so that the effect of a single ion
20 transitioning through the semiconductor structure is less likely to cause single event upset (SEU) in both portions 72, 74.

Each portion 72, 74 comprises the logic necessary to enable it to provide the overall logic function of the circuit, e.g. the NAND logic function of the NAND circuit 20 in the best mode embodiment.
25 The appropriate logic depends not only on the overall logic function of the circuit, but also on the logical effect of the input section 28

buffer stages 34, 36, 54, 56 and the output section, described hereinbelow. In the best mode embodiment, the input section 28 buffer stages 34, 36, 54, 56 and the output section are non inverting buffers, and therefore have no logical effect. Consequently, the logic
5 for the first and second portions 72, 74 of the logic section 70 each need only comprise a NAND gate 76, 78, or its equivalent, to provide the NAND function.

A schematic representation of the transistor level circuit for the NAND gate 76 of the first portion 72 is shown in Fig. 4. Referring
10 now to Fig. 4, the NAND gate 76 has a first input 76a which is electrically connected to the gates 76b, 76c of a first pair 76d of P channel MOSFETs. The first pair 76d of P channel MOSFETs have their sources 76e electrically connected to V_{DD} and their drains 76f electrically connected to the drains 76g of a second pair 76h of P
15 channel MOSFETs. The sources 76i of the second pair 76h of P channel MOSFETs are connected to V_{DD} and the gates 76j, 76k are connected to the second input signal 76l.

The drains 76f, 76g of both pairs 76d, 76h of P channel MOSFETs are further connected to the drains 76m of a first pair 76n
20 of N channel MOSFETs and the output 76p of the NAND gate 76. The first pair 76n of N channel MOSFETs have their gates 76q, 76r connected to the second input 76l. Each of the sources 76s of the first pair 76n of N channel MOSFETs is connected to a different one of the drains 76t of a second pair 76u of N channel MOSFETs. The
25 second pair 76u of N channel MOSFETs have their gates 76v, 76w

connected to the first input 76a and their sources 76x connected to V_{SS} .

The operation of the NAND gate 76 is as follows. When both of the inputs are at a high logic state voltage, both pairs 76n, 76s of N channel MOSFETs are "on", i.e. low resistance, and both pairs 76d, 76h of P channel MOSFETs are "off", i.e. high resistance. At the output 76p, this produces a high resistance to the V_{DD} supply and a low resistance to the V_{SS} supply. The result is an output voltage of approximately V_{SS} , representing a low logic state. When one or more of the inputs 76a, 76l are at a low logic state voltage, the pair 76d, 76h of P channel MOSFETs having that input connected to its gate 76b, 76c are "on" and the pair 76n, 76s of N channel MOSFETs having that input connected to its gate are "off". At the output 76p, this produces a low resistance to the V_{DD} supply and a high resistance to the V_{SS} supply. The result is an output voltage of approximately V_{DD} , representing a high logic state.

Referring again to FIG. 2, the NAND gate 78 of the second portion 74 has a similar transistor level circuit schematic (not shown) and operation to that of the NAND gate 76 of the first portion 72. The first and second portions 72, 74 each operate on their respective input signals and produce first and second portion output signals which are summed, or combined, in analog fashion to produce a logic section output signal on line 84. The logic section output signal on line 84 takes on the logic state corresponding to the voltage of the analog combination. This is in contrast to a combination that combines the signals by performing a logical operation on each of

their logic states.

In the best mode embodiment, the transistors in the NAND gates 76, 78 have "on" resistances in the range of from about 500 ohms to 5,000 ohms. Lower resistances are not required because the
5 NAND gates do not to provide high magnitude output current. Accordingly, the connection should have an electrical resistance of about less than 500 ohms, preferably less than 10 ohms. In the best mode embodiment, a direct electrical connection having a resistance below 1 ohm, specifically about .01 ohms, is used. However, those
10 skilled in the art will recognize that other suitable transistors having other "on" resistances, and other connections having other resistances may also be used.

Normally, the transistors of both of the NAND gates 76, 78 are in similar "on" and "off" states. Consequently, the voltage
15 contributions from the first and second portions to the logic section output signal on line 84 are both approximately V_{SS} , or both approximately V_{DD} , and the combined signal, the logic section output signal on line 84, is also approximately V_{SS} , corresponding to a logic low, or V_{DD} , corresponding to a logic high.

20 Statistically, only one transistor will experience SEU at a given time. Thus when an ion transitions through the semiconductor one portion 72, 74 of the logic section 70, may experience SEU in one of the transistors in its NAND gate 76, 78. That transistor may change state from "on" to "off" or "off" to "on". However, any change in
25 logic section output signal voltage on line 84, is small, since the output from the affected portion is combined, in analog fashion, as described above, with the output from the unaffected portion.

Consequently, the voltage effect of the SEU is reduced, or attenuated. At or below the designed ion energy level of $80 \text{ MeVcm}^2/\text{mg}$, there is insufficient energy in the ion to cause the logic section output signal on line 84 to transition to an incorrect logic state. Thus the logic
5 section output signal on line 84 remains at the correct logic state throughout the SEU. The typical SEU lasts for about 20 nano seconds after which the transistor experiencing SEU returns to its prior state. Capacitance in the output portion, described hereinbelow, provides additional filtering for the small voltage changes in the logic
10 section output signal on line 84.

In comparison to the present invention, other approaches, which may use a voting stage, tend to amplify the effect of the SEU because they first translate the affected signal to its own logic state prior to the voting stage, and then in the voting stage, they attempt to
15 eliminate the effect of the SEU. These other approaches also require more gates, since they require a voting stage and often require three voting signals rather than just two, as in the present invention.

It should be recognized that this approach is not a typical method for the combination of logic signals from logic gates having
20 active pull ups and pull downs in the output stage. For example, while open collector TTL gates may be wired-ANDed, the wired-ANDing of active pull up TTL gates is prohibitive due to the high power dissipation that occurs if one gate output is high and the other gate output is low. Similarly, in ECL logic, gates may be wired-
25 ORed but the ECL output stage only has an active pull up and does not have an active pull down. However, in the present invention, the

output of each CMOS gate does have both active pull up and active pull down.

Furthermore, unlike the TTL and ECL techniques above which seek to conserve logic gates while implementing standard logic functions, the summation approach of the present invention does not operate as a standard logic function. In fact, the summation here should not be used for combining logic signals which are not substantially similar in state and timing for the very reason that it does not provide a normal logical combination. Instead, it provides a means for combining substantially similar signals wherein a SEU failure in one of the signals does not cause failure of the combined signal.

The logic section output signal on line 84 is passed to an output section 86. Nodal capacitance, not shown, on line 84, provides some additional filtering for the logic section output signal. The output section 86 further comprises a pair of inverters 88, 90 for buffering of the signal. The pair of inverters 88, 90 are similar to that of the first inverter 42 of the A input signal buffer stage 34 with the exception that the transistors sizes are larger to reduce the likelihood that they themselves will experience SEU. Larger and stronger transistors are better able to resist SEU by counting the collection of charge through the substrate that is brought on by the entering ion. The pair of inverters 88, 90 are also larger to provide the desired capability for driving additional logic circuits that may be connected to the output logic signal Y on line 26. The output section further includes a pair of diodes 92, 94 to protect against under and over voltage damage.

As with all circuitry, appropriate decoupling should be used when employing the present invention.

In the best mode embodiment, the NAND circuit 20 is implemented in CMOS technology, preferably 1.2 micro meters (um) or smaller, however, any other suitable technology may also be used. At 1.2 um the circuit is small enough in size, has relatively low power, and provides high speed operation.

In the best mode embodiment, each of the logic signals on lines 22, 24, 26 are of the type having CMOS logic levels, however, as will be obvious to those skilled in the art, the NAND logic circuit 20 may also be designed to accommodate TTL logic signals. In the preferred embodiment, this only requires threshold modifications in the input section.

Although the best mode of the present invention creates the logic section output signal on line 84 by combining the outputs from NAND gates 76, 78, those skilled in the art will recognize that other transistor configurations may also be suitable. For example, transistor configurations to be connected may also be of the type used in inverters.

While the best mode of the present invention includes an input section, the logic section of the present invention may also be used without the input section or portions of the input section. For example, each input logic signal may be routed directly to both portions of the logic section, without passing through the input section, so long as the logic section is suitably adapted for operation with the logic levels of the input logic signals.

The present invention may also be used without the output section of the best mode embodiment. Instead, the logic section output signal may be used to drive other logic directly so long as the logic section is suitably adapted for driving such other logic.

5 Although disclosed with respect to a best mode embodiment for use in a NAND circuit, the present invention may be used in logic circuits of any type, including but not limited to that of OR, NOR, XOR, XNOR, inverter, AND, buffer, flip flop, line drivers and transceivers, with or without three-state outputs.

10 Furthermore, while the NAND circuit of the present invention has 2 inputs and 1 output, the present invention may be used in logic circuits having any number of inputs, e.g. N, where N is one or more, and any number of outputs, e.g. K, where K is one or more. The input section still preferably receives each of the N input signals and
15 produces a pair of buffered signals for each. One signal from each pair of buffered signals is received by the first portion of the logic section and the other signal from each pair is received by the second portion. Each of the two logic section portions has all of the necessary logic gates for implementing the overall function. The first
20 portion produces K first portion output signals and the second portion produces K second portion output signals. Each of the K first portion output signals is combined with the counterpart signal from the K second portion output signals to produce K logic section output signals. The K logic section output signals are passed to the output
25 section where they are buffered to produce the K outputs for the circuit. As such, the present invention may also be used in logic

circuits of the type including but not limited to comparators, flip flops, decoders/demultiplexers, selectors/multiplexers, counters, shift registers, parity generators, adders, and memories.

5 Still further, although the best mode embodiment uses signal conditioning circuits that provide a pair of buffered signals and logic sections having two portions, signal conditioning circuits providing more than a pair of buffered signals and logic sections having more than two portions may also be used and similarly combined to provide even greater immunity to SEU.

10 While the particular invention has been described with reference to illustrative embodiments, this description is not meant to be construed in a limiting sense. It is understood that, various modifications of the illustrative embodiments, as well as additional embodiments of the invention, will be apparent to persons skilled in the art upon reference to this description without departing from the spirit of the invention, as recited in the claims appended hereto.

15 Thus, upon understanding the present invention, one of ordinary skill in the art could employ the present invention in a variety of logic circuit applications. Those skilled in the art will know of the forms which are suitable for each application. It is therefore contemplated that the appended claims will cover any such modifications or

20 embodiments as fall within the true scope of the invention.

What is claimed is:

Claims

1. Apparatus for performing a selected logic function on one or more logic state input signals presented thereto to provide one or more resultant logic output signals, comprising:

5 a first logic portion, receiving each logic state input signal and performing the selected logic function on the logic state input signals to provide one or more output signals; and

10 a second logic portion, receiving each logic state input signal and performing the selected logic function on the logic state input signals to provide one or more output signals, and each of said output signals from said second logic portion combined in analog fashion with a corresponding one of said output signals from said first logic portion to provide the one or more resultant logic output signals.

2. The apparatus of claim 1 wherein said output signals of said first and second logic portions are provided by logic gates having outputs with active pull ups and active pull downs.

3. The apparatus of claim 1 wherein said first and second logic portions comprise CMOS technology.

4. The apparatus of claim 1 wherein said combination in analog fashion of said first logic portion output signals and said second logic

portion output signals comprises an electrical connection having a resistance of about less than 500 ohms.

5. The apparatus of claim 1 wherein said first logic portion and said second logic portion comprise identical logic circuitry.

6. The apparatus of claim 1 wherein said first logic portion and said second logic portion are physically separated to prevent an ion from causing SEU in both portions.

7. The apparatus of claim 1 wherein said combination in analog fashion of said first logic portion output signals and said second logic portion output signals to produce the one or more resultant output signals is immune to SEU at ion energy levels of up to and including
5 80 MeVcm²/mg.

8. The apparatus of claim 1 wherein said combination in analog fashion of said first logic portion output signals and said second logic portion output signals comprises a direct electrical connection having a resistance of about less than 1 ohm.

9. Apparatus for performing a selected logic function on one or more logic state input signals presented thereto to provide one or more resultant logic output signals, comprising:

an input section having a signal conditioning circuit for each of
5 the logic state input signals, for providing for each of the logic state
input signals, a pair of buffered logic state signals;

a logic section having a first and second portion, each
receiving one logic state signal from each of said pairs of buffered
logic state signals, and each performing the selected logic function on
10 said logic state signals received thereby to each provide one or more
output signals, and each of said output signals from said first portion
combined in analog fashion with a corresponding one of said output
signals from said second portion to provide one or more logic section
output signals; and

15 an output section receiving each of said one or more logic
section output signals and providing the one or more resultant logic
output signals.

10. The apparatus of claim 9 wherein said output signals of said
first and second portions of said logic section are provided by logic
gates having outputs with active pull ups and active pull downs.

11. The apparatus of claim 9 wherein said first and said second
portions of said logic section comprise CMOS technology.

12. The apparatus of claim 9 wherein said combination in analog
fashion of said first portion output signals and said second portion

output signals comprises an electrical connection having a resistance of about less than 500 ohms.

13. The apparatus of claim 9 wherein said first portion and said second portion of said logic section comprise identical logic circuitry.

14. The apparatus of claim 9 wherein said first portion of said logic section and said second portion of said logic section are physically separated to prevent the an ion from causing SEU in both portions.

15. The apparatus of claim 9 wherein said output section comprises circuitry that is immune to SEU at ion energy levels of up to and including $80 \text{ MeVcm}^2/\text{mg}$.

16. The apparatus of claim 9 wherein said one or more logic section output signals are immune to SEU at ion energy levels of up to and including $80 \text{ MeVcm}^2/\text{mg}$.

17. The apparatus of claim 9 wherein said input section, said logic section, and said output section are on the same integrated circuit.

18. The apparatus of claim 9 wherein said input section comprises, for each of the N input signals, a pair of identical buffer stages that produce said pair of buffered signals.

19. The apparatus of claim 9 wherein for each of said pair of buffer stages, one of said pair of buffer stages is physically separated from the other of said pair of buffer stages to prevent an ion from causing SEU in both buffer stages.

20. The apparatus of claim 9 wherein said combination in analog fashion of said first portion output signals and said second portion output signals comprises a direct electrical connection having a resistance of about less than 1 ohm.

21. The method for combining first and second logic signals, each having both active pull and active pull down, to produce an output logic signal comprising the step of:

summing the first and second logic signals in analog fashion to
5 produce an output logic signal.

1/2

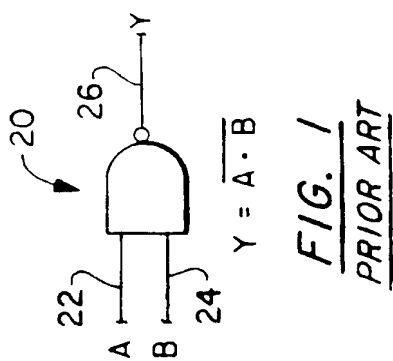
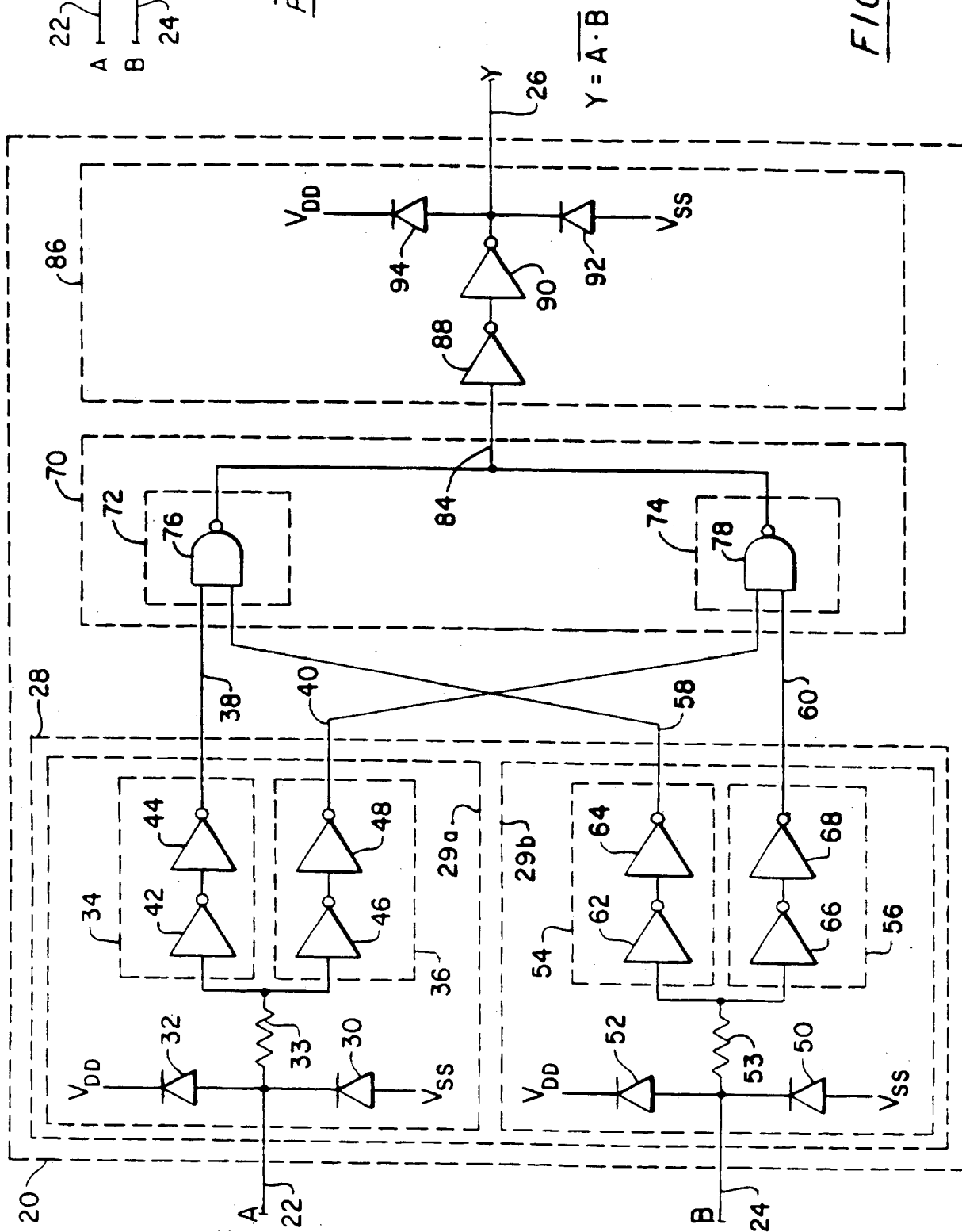


FIG. 2



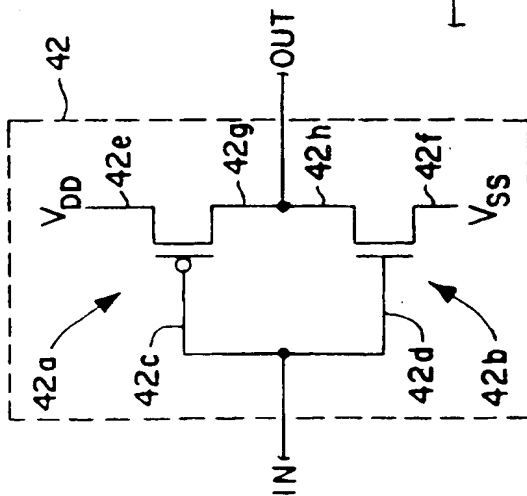
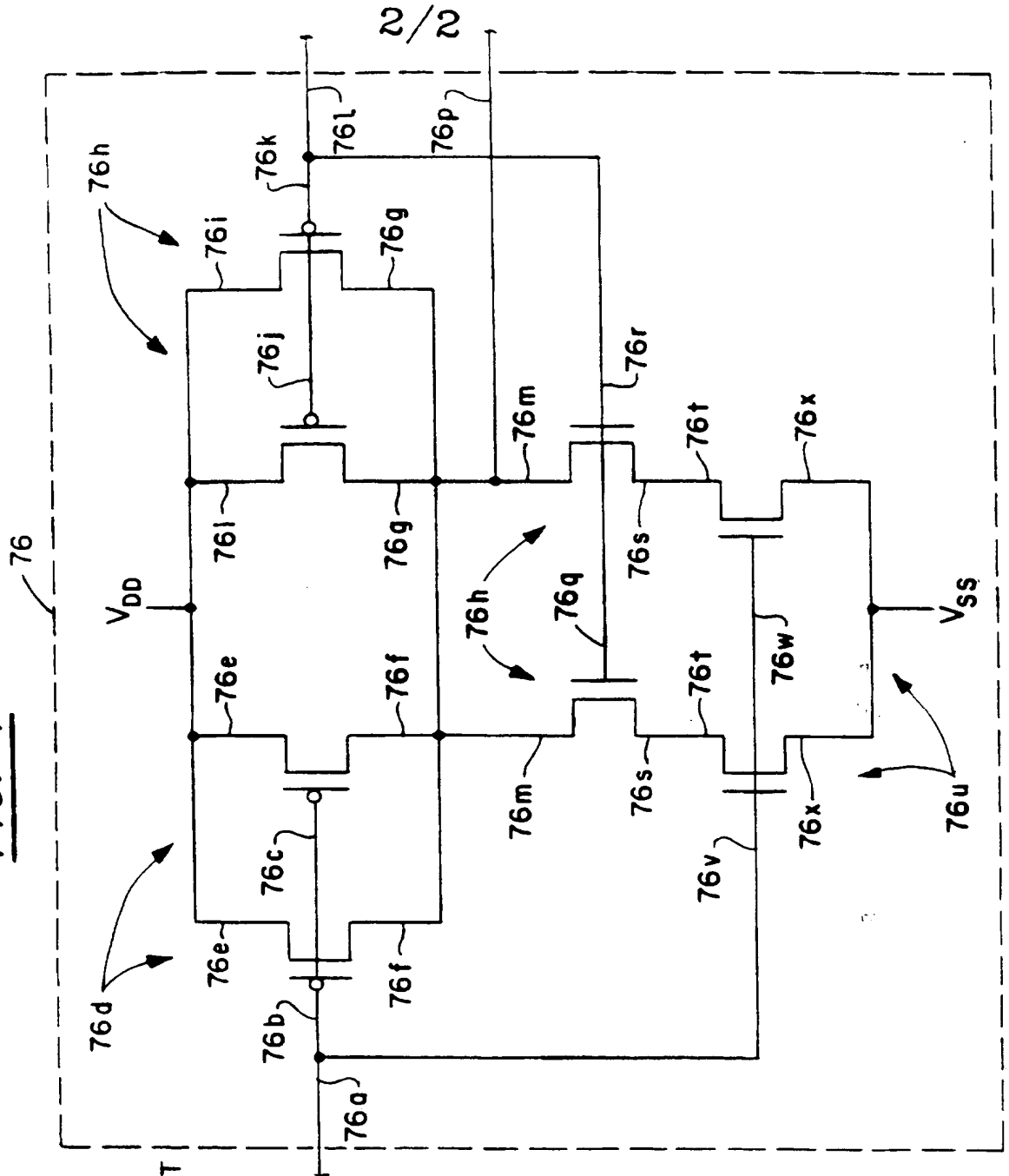


FIG. 3

FIG. 4



INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 97/06642

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H03K19/003

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 285 789 A (IBM) 12 October 1988 see the whole document ---	1,9,21
A	US 5 418 473 A (CANARIS JOHN) 23 May 1995 see abstract ---	1,9,21
A	US 4 709 166 A (BANKER DENNIS C ET AL) 24 November 1987 see column 7; figure 3 ---	1,9,21
A	IBM TECHNICAL DISCLOSURE BULLETIN, vol. 30, no. 9, February 1988, ARMONK, US, pages 180-182, XP002038940 "Circuit using CMOS that has Redundant Duality" see the whole document ---	1,9,21
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

27 August 1997

Date of mailing of the international search report

08.09.97

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Authorized officer

Jepsen, J

INTERNATIONAL SEARCH REPORT

Intern: AI Application No
PCT/US 97/06642

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 008, no. 229 (E-273), 20 October 1984 & JP 59 108422 A (NIPPON DENKI KK), 22 June 1984, see abstract ---	
A	IEEE TRANSACTIONS ON COMPUTERS, vol. 38, no. 1, January 1989, pages 15-29, XP000023247 BARBOUR A E ET AL: "A GENERAL, CONSTRUCTIVE APPROACH TO FAULT-TOLERANT DESIGN USING REDUNDANCY" see the whole document ---	
A	FR 2 386 199 A (BAILEY CONTROLE) 27 October 1978 see the whole document ---	
P,X	US 5 600 260 A (LAMACCHIA MICHAEL P ET AL) 4 February 1997 see the whole document -----	1-21

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat J Application No

PCT/US 97/06642

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0285789 A	12-10-88	US 4829198 A CA 1278349 A DE 3854012 D DE 3854012 T JP 1848356 C JP 63263826 A	09-05-89 27-12-90 27-07-95 15-02-96 07-06-94 31-10-88
US 5418473 A	23-05-95	NONE	
US 4709166 A	24-11-87	DE 3750316 D DE 3750316 T EP 0250752 A JP 6105874 B JP 62274921 A	08-09-94 09-03-95 07-01-88 21-12-94 28-11-87
FR 2386199 A	27-10-78	DE 2814031 A US 4215340 A	12-10-78 29-07-80
US 5600260 A	04-02-97	NONE	

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

VERSION RÉVISÉE

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
14 septembre 2000 (14.09.2000)

PCT

(10) Numéro de publication internationale
WO 00/54410 A1

(51) Classification internationale des brevets:
H03K 19/003, G06F 11/18, H03K 3/013

(71) Déposant (pour tous les États désignés sauf US): IROC
TECHNOLOGIES [FR/FR]; World Trade Center, B.P.
1510, F-38025 Grenoble Cedex 1 (FR).

(21) Numéro de la demande internationale:
PCT/FR00/00573

(22) Date de dépôt international: 8 mars 2000 (08.03.2000)

(72) Inventeur; et
(75) Inventeur/Déposant (pour US seulement): NICO-
LAIDIS, Michaël [FR/FR]; 15 bis, rue du Vercors,
F-38120 Saint Egrève (FR).

(25) Langue de dépôt: français

(26) Langue de publication: français

(74) Mandataire: DE BEAUMONT, Michel; Cabinet Con-
seil, 1, rue Champollion, F-38000 Grenoble (FR).

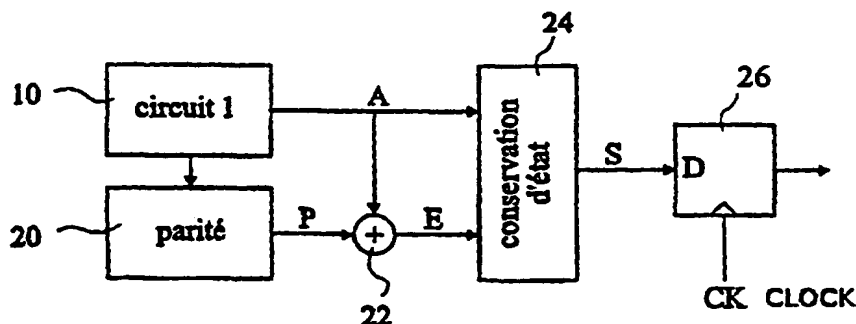
(30) Données relatives à la priorité:
99/03027 9 mars 1999 (09.03.1999) FR

(81) États désignés (national): CA, JP, US.

[Suite sur la page suivante]

(54) Title: LOGIC CIRCUIT PROTECTED AGAINST TRANSITORY PERTURBATIONS

(54) Titre: CIRCUIT LOGIQUE PROTEGE CONTRE DES PERTURBATIONS TRANSITOIRES



10 ... COMBINATORIAL LOGIC CIRCUIT 1
20 ... VERIFICATION CIRCUIT GENERATING PARITY BITS
24 ... STORAGE ELEMENT (MAINTAINING STATUS)
26 ... DELAY
A ... LOGIC CIRCUIT OUTPUT
P ... PARITY BIT
E ... ERROR SIGNAL
S ... OUTPUT

(57) Abstract: The invention concerns a circuit protected against transitory perturbations, comprising a combinational logic circuit (10) having at least an output (A); a circuit (20) generating an error control code for said output, and a storage element (24) provided at said output, controlled by the circuit generating a control code to be transparent when the control code is correct, and to maintain its status when the control is incorrect.

[Suite sur la page suivante]

WO 00/54410 A1



(84) États désignés (*régional*): brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(15) Renseignements relatifs à la correction:
voir la Gazette du PCT n° 24/2001 du 14 juin 2001, Section II

Publiée:

— Avec rapport de recherche internationale.

(88) Date de publication du rapport de recherche internationale révisé: 14 juin 2001

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé: L'invention concerne un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A); un circuit (20) de génération d'un code de contrôle d'erreurs pour ladite sortie; et un élément mémoire (24) disposé à ladite sortie, commandé par le circuit de génération de code de contrôle pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K19/003 G06F11/18 H03K3/013

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K H03M G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, IBM-TDB, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 464 754 A (STEWART ET AL.) 7 August 1984 (1984-08-07) column 3, line 10 -column 6, line 4; figure 2B ---	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 October 1997 (1997-10-30) abstract; figure 2 ---	1
X	PATENT ABSTRACTS OF JAPAN vol. 016, no. 412 (E-1256), 31 August 1992 (1992-08-31) & JP 04 137816 A (NEC CORP;OTHERS: 01), 12 May 1992 (1992-05-12) abstract --- -/--	6-12

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

19 January 2001

Date of mailing of the international search report

24 01 2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Foglia, P

INTERNATIONAL SEARCH REPORT

Intern Application No

PCT/FR 00/00573

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 235 (P-725), 6 July 1988 (1988-07-06) & JP 63 027782 A (TOYO COMMUN EQUIP CO LTD), 5 February 1988 (1988-02-05) abstract ---	6-12
X	GB 2 037 034 A (STANDARD TELEPHONES CABLES LTD) 2 July 1980 (1980-07-02) the whole document ---	6-12
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 085 (E-0890), 16 February 1990 (1990-02-16) & JP 01 295516 A (FUJITSU LTD), 29 November 1989 (1989-11-29) abstract ---	6-12
A	US 4 044 312 A (D ORTENZIO REMO J) 23 August 1977 (1977-08-23) abstract ---	13,14
A	US 4 093 878 A (PASCHAL JAMES P ET AL) 6 June 1978 (1978-06-06) abstract ---	13,14
A	US 4 525 635 A (GILLBERG JAMES E) 25 June 1985 (1985-06-25) abstract -----	13,14

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter. Jnal Application No

PCT/FR 00/00573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4464754	A	07-08-1984	NONE	
WO 9740579	A	30-10-1997	NONE	
JP 04137816	A	12-05-1992	NONE	
JP 63027782	A	05-02-1988	NONE	
GB 2037034	A	02-07-1980	NONE	
JP 01295516	A	29-11-1989	NONE	
US 4044312	A	23-08-1977	NONE	
US 4093878	A	06-06-1978	CA 1078465 A	27-05-1980
US 4525635	A	25-06-1985	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Dem , Internationale No
PCT/FR 00/00573A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H03K19/003 G06F11/18 H03K3/013

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H03K H03M G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, INSPEC, IBM-TDB, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 4 464 754 A (STEWART ET AL.) 7 août 1984 (1984-08-07) colonne 3, ligne 10 -colonne 6, ligne 4; figure 2B ---	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 octobre 1997 (1997-10-30) abrégé; figure 2 ---	1
X	PATENT ABSTRACTS OF JAPAN vol. 016, no. 412 (E-1256), 31 août 1992 (1992-08-31) & JP 04 137816 A (NEC CORP;OTHERS: 01), 12 mai 1992 (1992-05-12) abrégé --- -/--	6-12

☒ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 janvier 2001

Date d'expédition du présent rapport de recherche internationale

24 01 2001

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentiaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Foglià, P

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 235 (P-725), 6 juillet 1988 (1988-07-06) & JP 63 027782 A (TOYO COMMUN EQUIP CO LTD), 5 février 1988 (1988-02-05) abrégé ---	6-12
X	GB 2 037 034 A (STANDARD TELEPHONES CABLES LTD) 2 juillet 1980 (1980-07-02) le document en entier ---	6-12
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 085 (E-0890), 16 février 1990 (1990-02-16) & JP 01 295516 A (FUJITSU LTD), 29 novembre 1989 (1989-11-29) abrégé ---	6-12
A	US 4 044 312 A (D ORTENZIO REMO J) 23 août 1977 (1977-08-23) abrégé ---	13,14
A	US 4 093 878 A (PASCHAL JAMES P ET AL) 6 juin 1978 (1978-06-06) abrégé ---	13,14
A	US 4 525 635 A (GILLBERG JAMES E) 25 juin 1985 (1985-06-25) abrégé -----	13,14

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dem Internationale No

PCT/FR 00/00573

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4464754 A	07-08-1984	AUCUN	
WO 9740579 A	30-10-1997	AUCUN	
JP 04137816 A	12-05-1992	AUCUN	
JP 63027782 A	05-02-1988	AUCUN	
GB 2037034 A	02-07-1980	AUCUN	
JP 01295516 A	29-11-1989	AUCUN	
US 4044312 A	23-08-1977	AUCUN	
US 4093878 A	06-06-1978	CA 1078465 A	27-05-1980
US 4525635 A	25-06-1985	AUCUN	

CIRCUIT LOGIQUE PROTEGE CONTRE DES PERTURBATIONS TRANSITOIRES

La présente invention concerne des circuits numériques insensibilisés à des perturbations externes, notamment des perturbations localisées provenant en particulier de bombardements d'ions lourds.

5 Une telle perturbation est susceptible de basculer in-
tempestivement l'état d'un point mémoire, et des structures
particulières de point mémoire doivent être adoptées pour pallier
cet inconvénient.

Avec les technologies passées de fabrication de cir-
10 cuits intégrés, un point mémoire était susceptible de basculer
seulement si la perturbation affectait directement ce point
mémoire. Il fallait, par exemple, qu'un ion lourd atteigne l'un
des transistors constituant le point mémoire. Des perturbations
survenant hors des points mémoire, c'est-à-dire dans des circuits
15 logiques combinatoires, avaient une très faible probabilité de
modifier les états de points mémoire. En effet, ces perturbations
se traduisaient par des impulsions très brèves qui étaient
filtrées pratiquement immédiatement par les capacités élevées des
conducteurs. Même si une telle perturbation provoquait une
20 impulsion parasite atteignant l'entrée d'une cellule mémoire,
cette impulsion avait une faible probabilité de modifier l'état
de la cellule mémoire.

Avec les technologies récentes, les capacités des conducteurs deviennent de plus en plus faibles et les circuits, notamment les cellules mémoire, réagissent de plus en plus rapidement, à tel point que des impulsions parasites provoquées par des perturbations sont de durée suffisante pour modifier l'état des cellules mémoire si elles surviennent au voisinage d'un front d'une horloge qui cadence les cellules mémoire.

Ainsi, si on veut insensibiliser un circuit numérique de technologie récente à des perturbations localisées, il ne suffit pas d'insensibiliser les points mémoire, mais il faut éviter que des impulsions parasites qu'elles pourraient générer hors des points mémoire n'atteignent les points mémoire.

La génération d'une impulsion parasite par un circuit logique combinatoire peut être considérée comme une erreur que l'on pourrait corriger par une solution classique.

La figure 1 illustre une solution classique que l'on pourrait employer pour corriger les erreurs produites par un circuit logique combinatoire. Il s'agit d'un système correcteur d'erreurs à redondance triple. Un même circuit logique combinatoire 10 est dupliqué deux fois, respectivement en 11 et en 12. Les sorties des circuits 10 à 12 sont fournies à un circuit de vote majoritaire 14 qui sélectionne pour sa sortie la valeur qui est fournie par au moins deux des circuits redondants 10 à 12. La sortie du circuit de vote majoritaire 14 est donc exempt d'erreur en cas de défaillance d'au plus un des circuits redondants 10 à 12, même si cette défaillance est permanente.

Bien entendu, cette solution triple la surface silicium du circuit intégré.

Il existe d'autres solutions qui consistent à générer des codes correcteurs d'erreur pour les sorties d'un circuit. Si l'on veut pouvoir corriger toutes les sorties d'un circuit, cette solution est équivalente, en termes d'occupation de surface, à la redondance triple de la figure 1.

Un objet de la présente invention est de prévoir une solution pour éliminer en sortie d'un circuit logique combi-

natoire toute impulsion parasite provoquée par une perturbation localisée, ceci en occupant une surface silicium relativement faible.

Pour atteindre cet objet, la présente invention prévoit
5 un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire ayant au moins une sortie ; un circuit de génération d'un code de contrôle d'erreurs pour ladite sortie ; et un élément mémoire disposé à ladite sortie, commandé par le circuit de génération de code de contrôle
10 pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
15 un circuit de calcul d'un bit de parité pour ladite sortie et un circuit de vérification de la parité de la sortie et du bit de parité.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
20 un circuit logique dupliqué, ledit élément mémoire étant prévu pour être transparent lorsque les sorties du circuit logique et du circuit dupliqué sont identiques, et, pendant que lesdites sorties sont distinctes, conserver son état.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
25 un élément pour retarder ladite sortie d'une durée prédéterminée supérieure à la durée maximale des erreurs transitoires, ledit élément mémoire étant prévu pour être transparent lorsque les sorties du circuit logique et de l'élément de retard sont
30 identiques, et pour, pendant que lesdites sorties sont distinctes, conserver son état.

Selon un mode de réalisation de la présente invention, ledit élément mémoire est réalisé à partir d'une porte logique fournissant ladite sortie du circuit logique, cette porte logique
35 comprenant au moins deux premiers transistors commandés par un

signal du circuit logique et au moins deux seconds transistors commandés par le signal correspondant du circuit dupliqué, chacun des seconds transistors étant connecté en série avec l'un respectif des premiers transistors.

5 La présente invention vise également un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire ayant au moins une sortie reliée à une première bascule de synchronisation cadencée par une horloge, une
10 deuxième bascule reliée à ladite sortie et cadencée par l'horloge retardée d'une durée prédéterminée, et un circuit d'analyse des sorties des bascules.

Selon un mode de réalisation de la présente invention, le circuit d'analyse signale une erreur si les sorties des bascules sont différentes.

15 Selon un mode de réalisation de la présente invention, le circuit comprend une troisième bascule reliée à ladite sortie et cadencée par l'horloge retardée du double de la durée
prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire.

20 La présente invention vise en outre un circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire ayant au moins une sortie reliée à une première bascule de synchronisation cadencée par une horloge, une
25 deuxième bascule cadencée par l'horloge et recevant ladite sortie retardée d'une durée prédéterminée, et un circuit d'analyse des sorties des bascules.

Selon un mode de réalisation de la présente invention, le circuit d'analyse signale une erreur si les sorties des bascules sont différentes.

30 Selon un mode de réalisation de la présente invention, le circuit comprend une troisième bascule cadencée par l'horloge et recevant ladite sortie retardée du double de la durée
prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire.

La présente invention vise par ailleurs un circuit protégé contre des perturbations transitoires, comprenant trois circuits logiques identiques. Chacun des circuits logiques est précédé d'un élément mémoire à deux entrées recevant respecti-
5 vement les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

Selon un mode de réalisation de la présente invention,
10 les circuits logiques sont des inverseurs et les éléments mémoire comprennent, en série, deux transistors MOS à canal P et deux transistors MOS à canal N, une première des entrées de l'élément mémoire étant reliée aux grilles d'un premier des transistors MOS à canal P et d'un premier des transistors MOS à canal N, et la
15 deuxième entrée de l'élément mémoire étant reliée aux grilles des deux autres transistors.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers
20 faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, illustre une solution classique de correction d'erreurs produites par un circuit défaillant ;

25 la figure 2A représente schématiquement un premier mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites générées par des perturbations localisées dans un circuit logique combinatoire ;

la figure 2B représente un chronogramme illustrant le
30 fonctionnement du circuit de la figure 2A ;

les figures 3A et 3B représentent deux exemples d'éléments à conservation d'état utilisés dans le circuit de la figure 2A ;

la figure 4 représente schématiquement un deuxième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 5 représente un exemple d'élément à conservation d'état utilisé dans le circuit de la figure 4 ;

les figures 6A, 6B et 6C représentent d'autres exemples d'éléments à conservation d'état du type utilisé dans le circuit de la figure 4 ;

la figure 7A représente schématiquement un troisième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 7B représente un chronogramme illustrant le fonctionnement du circuit de la figure 7A ;

la figure 8A représente une variante du mode de réalisation de la figure 7A ;

la figure 8B représente un chronogramme illustrant le fonctionnement du circuit de la figure 8A ;

la figure 9A représente un quatrième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 9B représente un chronogramme illustrant le fonctionnement du circuit de la figure 9A ;

la figure 10A représente schématiquement un cinquième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 10B représente un chronogramme illustrant le fonctionnement du circuit de la figure 10A ;

la figure 11 représente une application du mode de réalisation de la figure 4 à une boucle asynchrone ;

la figure 12 représente une amélioration de la structure de la figure 11 ;

la figure 13 représente une simplification de la structure de la figure 12 ;

la figure 14 représente une application du principe de la figure 13 à une cellule mémoire statique ; et

la figure 15 représente un circuit de vote majoritaire réalisé à partir de la structure de la figure 14.

On propose, selon l'invention, plusieurs solutions permettant de supprimer des impulsions parasites générées par un circuit logique combinatoire à la suite d'une perturbation localisée, par exemple due à un bombardement d'ion lourd. Toutes ces solutions, pour arriver à des structures particulièrement simples, exploitent le fait que les impulsions parasites constituent des erreurs transitoires et non permanentes. Les modes de réalisation de l'invention évitent ainsi l'utilisation de solutions classiques, à redondance triple ou à codes correcteurs d'erreurs multiples, destinées à corriger une défaillance permanente d'un circuit.

La figure 2A représente schématiquement un premier mode de réalisation de l'invention exploitant cette caractéristique. Un circuit logique combinatoire 10 est associé à un circuit de vérification 20 qui fournit un code de contrôle d'erreur P pour la sortie A du circuit logique 10. Le circuit 20 est par exemple un circuit qui calcule de manière classique un bit de parité P pour la sortie A du circuit logique 10, cette sortie A pouvant bien sûr être multiple. En 22, le bit de parité P est combiné par OU-Exclusif avec la sortie A du circuit logique 10, ce qui fournit un signal d'erreur E qui est actif lorsque la parité est mauvaise, c'est-à-dire lorsque la sortie A ou le bit de parité P comporte une erreur.

Le signal d'erreur E et la sortie A sont fournis à un élément que l'on dira "à conservation d'état" 24. Il s'agit en fait d'un élément mémoire semblable à une bascule à transparence commandée, c'est-à-dire ayant un premier mode, sélectionné lorsque le signal d'erreur E est inactif, où la sortie A est transmise telle quelle à la sortie S de l'élément 24. Dans un deuxième mode, sélectionné lorsque le signal d'erreur E est actif, l'élément 24 conserve l'état de la sortie A, tel qu'il était avant l'activation du signal d'erreur E.

Une bascule 26, prévue classiquement pour verrouiller la sortie du circuit logique 10, reçoit la sortie S de l'élément à conservation d'état 24 au lieu de recevoir directement la sortie A du circuit 10. Cette bascule 26 est cadencée par une
5 horloge CK destinée à rendre la sortie du circuit 10 synchrone aux sorties d'autres circuits. La bascule 26 est un registre dans le cas où la sortie A est multiple. Cette bascule ou ce registre sont, de préférence, de structure insensible aux perturbations localisées.

10 La figure 2B représente un chronogramme illustrant le fonctionnement du circuit de la figure 2A. A un instant t_0 , lorsque survient un premier front actif de l'horloge CK, la sortie A du circuit logique 10 est à un état quelconque X. Le signal d'erreur E, étant inactif, l'élément 24 est en mode
15 "transparent" et transmet l'état X sur sa sortie S. Cet état X est verrouillé dans la bascule 26. La sortie de la bascule 26, étant éventuellement réalimentée au circuit logique 10, ce circuit logique génère une nouvelle sortie A après un délai t_c correspondant au temps de propagation dans le "chemin critique"
20 du circuit 10.

A un instant t_1 , la sortie A du circuit 10 change d'état, par exemple, passe à 0. Il en est de même pour la sortie S de l'élément 24 qui est toujours mis en mode "transparent" par le signal E.

25 A un instant t_2 débute une impulsion parasite sur la sortie A, qui se termine à un instant t_3 . La figure 2B illustre un cas défavorable où l'impulsion parasite sur le signal A risque d'entraîner une modification intempestive de l'état de la bascule 26. Dans cet exemple, la fin de l'impulsion parasite coïncide
30 avec le front actif suivant de l'horloge CK, lequel front provoque la mémorisation dans la bascule 26 de l'état de la sortie S précédant immédiatement l'instant t_3 . Or, le signal d'erreur E devient actif pendant la durée t_p de l'impulsion parasite, rendant l'élément 24 "opaque" à l'évolution du signal A entre les
35 instants t_2 et t_3 . En conséquence, le signal S ne change pas

d'état pendant l'impulsion parasite et la bascule 26 mémorise une valeur correcte.

Une bascule ne change d'état que si le nouvel état lui a été présenté suffisamment longtemps avant le front actif d'horloge correspondant, pendant une durée dite d'initialisation. En fait, un risque de mémorisation de valeur erronée par la bascule 26 se présente dans une plage de variation de la position de l'impulsion parasite, cette plage allant d'une position où la fin de l'impulsion précède le front actif de l'horloge CK de la durée d'initialisation, à une position où le début de l'impulsion survient au moment du front actif de l'horloge CK.

Par ailleurs, étant donné que l'élément de conservation d'état 24 est également une cellule de mémorisation, l'état qu'il doit mémoriser doit avoir été présenté au moins pendant un temps d'initialisation avant l'ordre de mémorisation (l'activation du signal E). Ainsi, il est nécessaire que la durée séparant les instants t_1 et t_2 soit supérieure à ce temps d'initialisation. En outre, on doit également garantir qu'un temps d'initialisation complet de l'élément 24 se soit écoulé avant ou après l'impulsion parasite entre les instants t_1 et t_3 , ceci pour être sûr que l'élément 24 prend en compte le niveau hors de l'impulsion.

Ces contraintes imposent le choix d'une durée minimale de la période de l'horloge CK, égale à $t_c + 2t_{h24} + t_p + t_{h26}$, où t_c est le temps de propagation dans le chemin critique du circuit logique 10, t_{h24} le temps d'initialisation de l'élément 24, t_p la durée maximale d'une impulsion parasite, et t_{h26} le temps d'initialisation de la bascule 26. Dans certains cas, notamment si l'élément 24 a un effet de mémorisation capacitif, cette période peut être réduite de t_{h24} .

Cette solution requiert donc, par rapport à un circuit logique normal, une augmentation de la période d'horloge. En effet, dans un circuit normal, la période d'horloge doit être supérieure seulement à $t_c + t_{h26}$. Par contre, grâce à cette redondance temporelle, le circuit offre le même niveau de sécu-

rité qu'un circuit classique à redondance triple (figure 1) avec un coût matériel sensiblement inférieur.

Un élément de conservation d'état 24 sera en règle générale réalisé à partir de portes logiques fournissant les
5 sorties du circuit logique combinatoire 10 à des bascules 26.

Les figures 3A et 3B représentent deux exemples d'éléments à conservation d'état réalisant une fonction NON-ET à deux entrées. Les deux entrées a et b sont fournies à une porte ET 30 dont la sortie est connectée à une première entrée d'une porte
10 NON-OU 32. Une porte OU-Exclusif 22', équivalente à la porte OU-Exclusif 22 de la figure 2A, reçoit les entrées a et b, ainsi que le bit de parité P. La sortie E de la porte 22' est fournie à une deuxième entrée de la porte NON-OU 32 et à une première entrée d'une porte ET 34. Les sorties des portes 32 et 34 sont fournies
15 à une porte OU 36 qui fournit la sortie S de l'élément à conservation d'état, laquelle sortie est rebouclée sur une deuxième entrée de la porte ET 34.

Lorsqu'il n'y a pas d'erreur de parité, le signal E est à zéro. Alors, la sortie de la porte ET 30 est inversée par la
20 porte NON OU 32 et transmise sur la sortie S par la porte OU 36.

En cas d'erreur de parité, le signal E est à 1, provoquant une mémorisation de l'état de la sortie S dans un point mémoire constitué des portes 34 et 36.

Le circuit de la figure 3A nécessite quatre portes pour
25 réaliser la fonction d'une seule porte.

La figure 3B représente une solution moins coûteuse en matériel pour réaliser un élément à conservation d'état réalisant une fonction NON-ET. Les signaux d'entrée a et b sont fournis aux deux entrées d'une porte NON-ET 38 dont la sortie est reliée à un
30 condensateur C par l'intermédiaire d'un interrupteur K. L'interrupteur K est commandé par le signal d'erreur E fourni par la porte OU-Exclusif 22'.

Lorsque le signal d'erreur E est inactif, l'interrupteur K est fermé et le condensateur C se charge au niveau
35 fourni par la porte 38. Lorsque le signal d'erreur E est activé,

l'interrupteur K est ouvert, mais l'état de la sortie S de l'élément est conservé par le condensateur C pendant la durée de l'impulsion parasite. On remarquera que le condensateur C peut être constitué par la simple capacité de la ligne de sortie S.

5 Des éléments de conservation d'état réalisant d'autres fonctions logiques pourront être réalisés par l'homme du métier. Par exemple, pour réaliser la fonction identité en utilisant la solution de la figure 3B, le signal d'entrée, unique, est directement fourni à l'interrupteur K.

10 Le mode de réalisation de la figure 2A présente l'inconvénient, notamment si le nombre de sorties A du circuit logique 10 est important, que la porte OU-Exclusif 22, à plusieurs entrées, réagit avec un retard important pour activer le signal d'erreur E. Il en résulte qu'une partie du début de l'im-
15 pulsion parasite est transmise sur la sortie S. Toutefois, dans la plupart des cas, la durée de cette partie d'impulsion sera inférieure au temps d'initialisation de la bascule 26 et n'affectera donc pas son état.

La figure 4 représente un mode de réalisation permettant d'éviter cet inconvénient.

20 Le circuit logique combinatoire 10 est dupliqué une fois en 11. La sortie A du circuit 10 et la sortie dupliquée A* du circuit 11 sont fournies à un élément de conservation d'état 24' qui transmet sur sa sortie S l'état de son entrée A ou A*
25 lorsque les entrées A et A* sont identiques et qui conserve son état lorsque les entrées A et A* deviennent différentes.

Le fonctionnement de ce circuit est similaire à celui de la figure 2A en considérant qu'une condition où les entrées A et A* sont différentes correspond à l'activation du signal d'erreur E à la figure 2B.

La figure 5 représente un élément à conservation d'état 24' du circuit de la figure 4 réalisant une fonction ET à deux entrées. Les entrées a et b sont fournies à une porte ET 50 dont la sortie est fournie à une première entrée d'une porte ET 52 et
35 à une première entrée d'une porte OU 54. Les entrées dupliquées

a* et b* sont fournies à une porte ET 56 dont la sortie est connectée à la deuxième entrée de la porte 52 et à la deuxième entrée de la porte 54. Les sorties des portes 52 et 54 sont connectées respectivement à des portes 36 et 34 similaires aux
5 portes 36 et 34 de la figure 3A.

On remarquera que les portes 34, 36, 52, et 54 constituent un élément à conservation d'état ayant la fonction logique "identité". Pour créer une fonction logique quelconque, il suffit de relier deux portes, réalisant chacune cette fonction
10 de manière classique, aux portes 52 et 54.

Selon un autre mode de réalisation, on réalise les éléments à conservation d'état à partir de la structure interne de portes logiques classiques. On prévoit pour cela deux transistors connectés en série pour chaque transistor requis
15 normalement dans la porte classique. Les deux transistors sont commandés pour être ouverts en même temps, de sorte que, si l'un d'eux se ferme du fait d'une perturbation, le deuxième, restant ouvert, empêche toute circulation de courant intempestive. Une telle configuration se prête particulièrement bien à une
20 structure du type de la figure 4 comprenant deux circuits logiques redondants. En effet, les deux transistors de l'association série sont alors commandés respectivement par un signal et son signal dupliqué.

La figure 6A représente un élément à conservation
25 d'état selon ce principe ayant une fonction d'inverseur. La sortie S du circuit est reliée à un potentiel haut par l'intermédiaire de deux transistors MOS à canal P en série MP1 et MP2. La sortie S est également reliée à un potentiel bas par deux transistors MOS à canal N en série MN1 et MN2. Un premier des
30 deux transistors MOS à canal P et un premier des deux transistors MOS à canal N sont commandés par un signal normal a tandis que les transistors restants sont commandés par le signal dupliqué a*.

Si les signaux a et a* sont égaux, correspondant à un
35 fonctionnement normal, les deux transistors MP ou les deux tran-

sistors MN sont conducteurs et forcent la sortie S vers le potentiel correspondant pour remplir la fonction d'inverseur.

Si les signaux a et a* sont différents, au moins un des transistors MP et au moins un des transistors MN est bloqué, d'où
5 il résulte que la sortie S est flottante et conserve son niveau précédent par effet capacitif.

La figure 6B représente un élément à conservation d'état réalisant une fonction NON-OU. Sa sortie S est reliée à un potentiel haut par l'intermédiaire de quatre transistors MOS à
10 canal P en série, commandés respectivement par les signaux d'entrée normaux a et b et leurs signaux dupliqués a* et b*. La sortie S est également reliée à un potentiel bas par l'intermédiaire de deux associations série de transistors MOS à canal N, l'une comportant deux transistors commandés respectivement par
15 les signaux a et a*, l'autre comportant deux transistors commandés respectivement par les signaux b et b*.

La figure 6C représente un élément de conservation d'état réalisant une fonction NON-ET. La sortie S est reliée au potentiel bas par l'intermédiaire de quatre transistors MOS à
20 canal N en série commandés respectivement par les signaux a et b et leurs signaux dupliqués a* et b*. La sortie S est également reliée au potentiel haut par l'intermédiaire de deux associations série de transistors MOS à canal P, la première comprenant deux transistors commandés respectivement par les signaux a et a*, et
25 la deuxième comprenant deux transistors commandés respectivement par les signaux b et b*.

Les éléments des figures 6B et 6C fonctionnent selon le principe décrit en relation avec la figure 6A. Plus généralement, ce principe de mise en série de transistors dupliqués s'applique
30 à toute porte logique.

Le circuit de la figure 6A peut être utilisé en tant que cellule mémoire dynamique insensible aux perturbations. Pour cela, l'état de la cellule est stocké de manière redondante sur les deux entrées a et a* par effet capacitif. Si l'une des
35 entrées est perturbée, la sortie S conserve son état précédent

par effet capacitif, jusqu'au rafraîchissement de la cellule rétablissant l'état correct de l'entrée perturbée. Ce principe s'applique aussi à tout élément de conservation d'état (figures 3A, 3B, 5, 6B, 6C). Pour cela, il suffit d'utiliser un élément de
5 mémorisation (capacité, mémoire statique) sur les entrées de l'élément à conservation d'état, et de verrouiller les valeurs fournies par la sortie A du circuit 10 et par la sortie du circuit de vérification d'erreur (20, 11).

On pourra également utiliser d'autres éléments à
10 conservation d'état, tels qu'un élément de mémorisation spécifique décrit dans "Upset Hardened Memory Design for Submicron CMOS Technology", 33rd International Nuclear and Space Radiation Effects Conference, Juillet 1996, Indian Wells, Californie, T. Calin, M. Nicolaidis, R. Velazco.

15 La figure 7A représente un troisième mode de réalisation de circuit combinatoire selon l'invention insensible à des perturbations localisées. Il comprend un seul circuit logique combinatoire 10. La suppression des impulsions parasites est obtenue exclusivement grâce à une redondance temporelle, contrairement
20 aux modes de réalisation précédents combinant les redondances temporelle et matérielle. La sortie A du circuit 10 est fournie à trois bascules 70, 71 et 72 cadencées respectivement par l'horloge CK, l'horloge CK retardée d'une durée δ et l'horloge CK retardée d'une durée 2δ . Les sorties S1,
25 S2 et S3 de ces bascules sont fournies à un circuit de vote majoritaire 74 qui fournit la sortie S corrigée.

La figure 7B représente un chronogramme illustrant le fonctionnement du circuit de la figure 7A. Ce chronogramme représente, sous forme de barres verticales, les fronts actifs des
30 signaux d'horloge CK, CK+ δ et CK+ 2δ . On suppose que le signal A présente une impulsion parasite à cheval sur le premier front de l'horloge CK, survenant à un instant t_0 . La bascule 70, activée à l'instant t_0 , stocke de manière erronée l'état de l'impulsion parasite.

A un instant t_2 le signal A passe à 1 de manière normale. Cette transition survient un intervalle de temps t_c après un instant t_1 où est survenu le dernier front de l'horloge $CK+2\delta$. Le temps t_c est le temps de propagation à travers le circuit de vote 74 et le circuit logique 10.

A des instants t_3 , t_4 et t_5 , l'état 1 du signal A est échantillonné par les fronts respectifs suivants des horloges CK, $CK+\delta$ et $CK+2\delta$. Le signal S1 reste à 1 tandis que les signaux S2 et S3 passent à 1, respectivement aux instants t_3 , t_4 et t_5 .

Un intervalle de temps t_c après l'instant t_5 , le signal A passe à 0. Il en résulte qu'aux fronts suivants des horloges CK, $CK+\delta$ et $CK+2\delta$, les signaux S1, S2, et S3 passent successivement à 0.

La sortie S du circuit de vote 74 est à 1 lorsqu'au moins deux des signaux S1, S2 et S3 sont à 1. C'est le cas qui se produit à partir de l'instant t_4 , pendant que le signal S2 est à 1.

On remarque que le circuit de la figure 7A ne passe pas à 1 à l'instant t_0 où survient l'impulsion parasite, mais passe correctement à 1 à l'instant t_4 en réponse à un passage normal à 1 du signal A.

Pour que ce mode de réalisation fonctionne correctement, l'impulsion parasite doit être échantillonnée par une seule des horloges CK, $CK+\delta$ et $CK+2\delta$. La durée maximale t_p des impulsions parasites peut pour cela atteindre la valeur $\delta - t_h$, où t_h est le temps d'initialisation des bascules 70 à 72. Ainsi, on choisit $\delta = t_p + t_h$. Par ailleurs, la période des horloges doit être choisie au moins égale à $t_c + 2\delta + t_h$, lequel temps correspond au temps de propagation maximal des entrées du circuit 10 vers la sortie S.

La figure 8A représente une variante du mode de réalisation de la figure 7A. Dans cette figure, des mêmes éléments qu'à la figure 7A sont désignés par des mêmes références. Au lieu de cadencer les bascules 70 à 72 par des horloges retardées les unes par rapport aux autres, ces bascules sont cadencées par la

même horloge CK. Par contre, le signal A est fourni à deux lignes à retard en cascade 80 et 81 introduisant chacune un retard δ . Le signal A est directement fourni à la bascule 70, la sortie A2 de la ligne à retard 80 est fournie à la bascule 71 et la sortie A3 de la ligne à retard 81 est fournie à la bascule 72.

La figure 8B représente un chronogramme illustrant le fonctionnement du circuit de la figure 8A. A un instant t_0 survient le premier front de l'horloge CK. On suppose que le signal A présente une impulsion parasite à cheval sur ce front. Il en résulte que le signal S1 passe à 1 à cet instant t_0 . Les signaux A2 et A3 présentent la même impulsion parasite mais décalée respectivement de δ et de 2δ par rapport à l'instant t_0 .

Le retard δ est choisi supérieur à la durée $t_p + t_h$, où t_p est la durée maximale d'une impulsion parasite et t_h le temps d'initialisation des bascules 70 à 72. On assure ainsi, dans l'exemple de la figure 8B, que l'impulsion parasite du signal A2 ne soit pas échantillonnée à l'instant t_0 . Il en résulte que la valeur du signal S2, et a fortiori du signal S3, reste correcte (ici égale à 0).

A l'instant t_1 , survient le front suivant de l'horloge CK. Les signaux A à A3 sont échantillonnés alors qu'ils sont à 0. Il en résulte que le signal S1 passe à 0 et que les signaux S2 et S3 restent à 0.

A un instant t_2 , entre l'instant t_1 et le front suivant de l'horloge CK survenant à un instant t_3 , le signal A passe à 1 de manière normale pendant une période d'horloge. La durée séparant les instants t_1 et t_2 correspond au temps t_c de propagation dans le chemin critique du circuit 10 et dans le circuit de vote 74. Dans l'exemple représenté, le retard t_c est tel que le front montant correspondant des signaux A2 et A3 survienne encore avant l'instant t_3 .

Ainsi, à l'instant t_3 , les signaux A, A2 et A3 sont échantillonnés alors qu'ils sont à 1. Les signaux S1, S2 et S3 passent à 1. Les signaux S1, S2 et S3 restent à 1 jusqu'au front suivant du signal d'horloge survenant à un instant t_4 . A cet

instant t_4 , les signaux A, A2 et A3 sont passés à 0. Il en résulte que les signaux S1, S2 et S3 passent à 0.

Le signal S présente une allure correcte en restant à 0 entre les instants t_0 et t_1 et en passant à 1 entre les instants t_3 et t_4 , pendant que les signaux S1, S2 et S3 sont tous trois à 1.

Le fonctionnement correct illustré à la figure 8B est obtenu pourvu que la valeur minimale de la période d'horloge soit égale à $t_c + 2\delta + t_h$.

La figure 9A représente schématiquement un quatrième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites. On utilise ici un élément de conservation d'état 24' du type de celui de la figure 4, prévu pour fonctionner avec des signaux dupliqués. Cet élément reçoit la sortie A du circuit logique 10 et cette même sortie est retardée par une ligne à retard 90 introduisant un retard δ . Le signal fourni par cette ligne à retard 90 constitue le signal dupliqué A*. La sortie S de l'élément 24' est fournie à une bascule 26.

La figure 9B représente un chronogramme illustrant le fonctionnement du circuit de la figure 9A. Comme dans les exemples précédents, le signal A présente une impulsion parasite à cheval sur un premier front de l'horloge CK survenant à un instant t_0 .

A un instant t_1 , avant le front montant suivant de l'horloge CK survenant à un instant t_3 , le signal A passe à 1. Les instants t_0 et t_1 sont distants du temps de propagation t_c dans le chemin critique du circuit 10.

A un instant t_2 , survenant également avant l'instant t_3 , le signal retardé A* passe à 1.

Les signaux A et A* restent à 1 pendant une période d'horloge et passent à 0 à des instants respectifs t_4 et t_5 avant le front d'horloge suivant survenant à l'instant t_6 .

Le signal S fourni par le circuit à conservation d'état 24' ne change d'état qu'au moment où les signaux A et A* deviennent égaux. Ceci se produit seulement à l'instant t_2 où le signal

A* passe à 1 alors que le signal A est déjà à 1, et à l'instant t_5 où le signal A* passe à 0 alors que le signal A est déjà à 0 (le temps de propagation de l'élément 24' est ici négligé pour des raisons de clarté).

5 Ainsi, le signal S est à 1 entre les instants t_2 et t_5 . Cet état 1 est échantillonné par la bascule 26 à l'instant t_3 , et correspond à l'état qu'il faut effectivement échantillonner dans le signal A.

10 Le fonctionnement du circuit est correct si la période d'horloge est au moins égale à $t_c + \delta + 2t_{24'} + t_p + t_h$, où $t_{24'}$ est le temps de propagation dans l'élément 24' et t_h le temps d'initialisation de la bascule 26. La valeur δ doit être choisie supérieure à $t_p - t_{24'}$.

15 La figure 10A représente schématiquement un cinquième mode de réalisation de circuit selon l'invention, permettant de détecter de manière simple une erreur liée à une impulsion parasite. La sortie A du circuit logique 10 est fournie à deux bascules 92 et 93, l'une cadencée par l'horloge CK et l'autre par l'horloge retardée d'une durée δ . A titre de variante, la bascule 20 92 peut être commandée par un front ou un niveau d'un premier type (montant ou descendant - haut ou bas) d'une horloge CK, tandis que la bascule 93 est commandée par un front ou un niveau de type opposé de la même horloge (front descendant ou montant - bas ou haut). Les sorties S1 et S2 de ces bascules sont fournies 25 à un comparateur 95 dont la sortie est fournie à une bascule 97. La bascule 97 est cadencée par une horloge $CK + \delta + \epsilon$, légèrement retardée par rapport au signal $CK + d$. La bascule 93 est utilisée ici pour synchroniser le signal A, et sa sortie S2 est éventuellement rebouclée sur les entrées du circuit logique 10.

30 La figure 10B représente un chronogramme illustrant le fonctionnement du circuit de la figure 10A. Comme dans l'exemple précédent, une impulsion parasite survient dans le signal A à cheval sur un front du signal CK survenant à un instant t_0 . Il en résulte que le signal S1 passe à 1. Par contre, la bascule 93 35 n'échantillonne pas encore le signal A et sa sortie S2 reste

inchangée (à 0). Le comparateur 95 n'indique pas encore une inégalité des signaux S1 et S2, et le signal ERR indique une absence d'erreur par un état 0.

5 A un instant t_1 , survient le front suivant de l'horloge CK+ δ , après l'impulsion parasite dans le signal A. Le signal S2 reste inchangé.

10 A un instant t_2 , une durée ε après le premier front du signal CK+ δ , survient le front suivant de l'horloge CK+ δ + ε , lequel front provoque l'échantillonnage de la sortie du comparateur par la bascule 97. Les signaux S1 et S2 étant différents, le signal d'erreur ERR est activé

15 A un instant t_3 , un intervalle t_c après l'instant t_1 , le signal A passe à 1 de manière normale. Cet état 1 est échantillonné par l'horloge CK à un instant t_4 . Le signal S1 reste à 1.

A un instant t_5 survient le front suivant de l'horloge CK+ δ , qui échantillonne le signal A alors que celui-ci est encore à 1. Le signal S2 passe à 1. Le signal A passera à 0 après l'intervalle de propagation t_c .

20 A un instant t_6 survient le front suivant de l'horloge CK+ δ + ε , qui échantillonne la sortie du comparateur 95. Les signaux S1 et S2 étant au même état, le signal d'erreur ERR est désactivé.

25 A un instant t_7 survient le front suivant de l'horloge CK, qui échantillonne le signal A alors que celui-ci est à 0. Le signal S1 passe à 0.

A un instant t_8 survient le front suivant de l'horloge CK+ δ qui échantillonne le signal A alors que celui-ci est à 0. Il en résulte que le signal S2 passe à 0.

30 La période de l'horloge doit être choisie au moins égale à $t_c + t_h + \delta$, la durée δ étant au moins égale à la durée $t_p + t_h$.

35 Selon une variante, non représentée, du circuit de la figure 10A, c'est la sortie S1 qui est exploitée. Alors, on doit veiller à ce qu'une transition de la sortie S1 ne soit pas

propagée vers la sortie A avant le front suivant de l'horloge $CK+\delta$. En d'autres termes, il faut que le temps de propagation t_c soit supérieur à δ . Dans ce cas, la période d'horloge sera égale à $t_c + t_h$, c'est-à-dire égale à la période d'horloge du circuit classique sans protection contre les erreurs transitoires.

Le signal d'erreur fourni par le circuit de la figure 10A peut être exploité de diverses manières pour corriger l'erreur détectée. On peut envisager, par exemple, que ce signal d'erreur déclenche une reprise d'opération, par exemple la répétition d'une dernière "instruction" exécutée par le système.

Il peut également être utilisé pour corriger une erreur de synchronisation due à l'utilisation d'une horloge trop rapide. En cas d'erreur, on déclenche une reprise et on réduit la fréquence de l'horloge pendant la reprise. Ceci est particulièrement intéressant dans le cas de la variante exploitant la sortie S1, dans laquelle le circuit fonctionne à la vitesse du circuit classique.

Selon une autre variante, non représentée, du circuit de la figure 10A, les bascules 92 et 93 sont cadencées par la même horloge CK et l'une d'entre elles reçoit le signal A retardé de la durée δ .

De nombreux circuits numériques forment des boucles asynchrones, c'est-à-dire que leurs sorties sont directement rebouclées sur leurs entrées, sans passer par une bascule de synchronisation. Les cellules mémoire statiques en sont un exemple. De tels circuits sont susceptibles de mémoriser un état et sont donc sensibles aux perturbations risquant de basculer cet état.

La figure 11 représente un agencement selon l'invention pour protéger un tel circuit, utilisant le principe de duplication de la figure 4. La sortie d'un circuit logique 10 et la sortie d'un circuit logique dupliqué 11 sont reliées respectivement aux deux entrées d'un premier élément à conservation d'état 24a et d'un deuxième élément à conservation d'état 24b, tous deux du type de celui de la figure 4. La sortie

de l'élément 24a est rebouclée sur le circuit 10, tandis que la sortie de l'élément 24b est rebouclée sur le circuit 11. Il est nécessaire d'utiliser deux éléments à conservation d'état, car si on en utilisait un seul dont la sortie serait rebouclée sur les deux circuits 10 et 11, une perturbation dans l'élément serait transmise aux deux circuits dupliqués, provoquant la même erreur dans les deux circuits. Cette condition d'erreur ne serait pas corrigée.

La structure de la figure 11 est toutefois sensible à une perturbation survenant sur la sortie de l'un des éléments à conservation d'état. Si le temps de propagation dans le circuit 10 ou 11 concerné est inférieur à la durée de la perturbation, la perturbation retardée arrive à l'entrée de l'élément à conservation d'état avant même que la perturbation n'ait disparu sur sa sortie. Il en résulte que l'élément tend à conserver l'état erroné affecté par la perturbation.

La figure 12 représente une structure évitant ce problème. Le circuit 10 et son dupliqué 11 sont chacun scindés en deux parties, 10a et 10b pour le circuit 10, et 11a et 11b pour le circuit 11. Entre les deux parties de chaque circuit, on insère un élément à conservation d'état supplémentaire, 24c entre les parties 10a et 10b, et 24d entre les parties 11a et 11b, les éléments 24c et 24d étant connectés de la même manière que les éléments 24a et 24b.

La figure 13 représente une simplification de la structure de la figure 12, rendue possible si les parties 10a, 10b et leurs parties dupliquées ont la même fonction logique et reçoivent les mêmes entrées. Par rapport à la figure 12, le circuit 11b et l'élément 24d ont été omis. Les éléments à conservation d'état 24a et 24b reçoivent respectivement la sortie du circuit 11a et la sortie du circuit 10a à la place de la sortie du circuit 11b de la figure 12.

La figure 14 représente une application du principe de la figure 13 pour réaliser une cellule mémoire statique. Les éléments à conservation d'état 24a, 24b et 24c sont des

inverseurs à conservation d'état du type de la figure 6A. Les parties de circuit 10a, 11a et 10b sont des inverseurs classiques. Un inverseur à conservation d'état suivi d'un inverseur classique ont une fonction identité. Ceci assure que
5 les éléments 24a, 24b et 24c reçoivent des valeurs d'entrée identiques, ce qui est aussi valable pour les inverseurs 10a, 11a et 10b.

La cellule mémoire ainsi obtenue est insensible aux perturbations aussi bien en fonctionnement statique qu'en
10 fonctionnement dynamique.

La figure 15 représente une variante de la cellule de la figure 14. En série avec chacun des couples de transistors MOS à canal P, on a inséré un transistor MOS à canal P commandé par un signal d'horloge CK. En série avec chacun des couples de
15 transistors MOS à canal N, on a inséré un transistor MOS à canal N commandé par le complément du signal d'horloge CK. Ces transistors suppriment des appels de courant de commutation de la cellule.

Par ailleurs, la figure 15 représente une application de la structure de la figure 14 à un circuit de vote utilisable dans les circuits des figures 7A et 8A. Pour cela, par rapport à la figure 14, on a omis les transistors d'accès. Les trois signaux d'entrée S1, S2, S3 du circuit de vote sont appliqués aux entrées des inverseurs.

On obtient ainsi un circuit de vote qui sert à mémoriser le résultat du vote de manière insensible aux perturbations. Si on utilise ce circuit de vote dans les figures 7A et 8A, les bascules 70 à 72 qui précèdent le circuit de vote sont de simples bascules à transparence commandée.

On peut par ailleurs connecter une cellule mémoire classique à chacune des entrées S1, S2 et S3, commandée par un signal d'horloge. On forme ainsi une bascule maître-esclave.

Dans la description qui précède, on a considéré le cas où on utilise des bascules sensibles à des transitions pour
35 verrouiller les états de sortie d'un circuit logique. La présente

invention s'applique également à des bascules sensibles à des états (à transparence commandée).

REVENDICATIONS

1. Circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A), caractérisé en ce qu'il comprend :

un circuit (20, 11) de génération d'un code de contrôle d'erreurs pour ladite sortie ; et

un élément mémoire (24, 24') disposé à ladite sortie, commandé par le circuit de génération de code de contrôle pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

2. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un circuit (20) de calcul d'un bit de parité (P) pour ladite sortie (A) et un circuit (22) de vérification de la parité de la sortie et du bit de parité.

3. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un circuit logique dupliqué (11), ledit élément mémoire (24') étant prévu pour être transparent lorsque les sorties du circuit logique (10) et du circuit dupliqué (11) sont identiques, et, pendant que lesdites sorties sont distinctes, conserver son état.

4. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un élément (90) pour retarder ladite sortie d'une durée prédéterminée supérieure à la durée maximale des erreurs transitoires, ledit élément mémoire (24') étant prévu pour être transparent lorsque les sorties du circuit logique et de l'élément de retard sont identiques, et pour, pendant que lesdites sorties sont distinctes, conserver son état.

5. Circuit protégé selon la revendication 3, caractérisé en ce que ledit élément mémoire (24') est réalisé à partir d'une porte logique fournissant ladite sortie du circuit logique, cette porte logique comprenant au moins deux premiers transistors (MN1, MP2) commandés par un signal (a) du circuit logique et au

moins deux seconds transistors (MP1, MN2) commandés par le signal correspondant (a*) du circuit dupliqué, chacun des seconds transistors étant connecté en série avec l'un respectif des premiers transistors.

5 6. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70, 92) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71, 93) reliée à
10 ladite sortie et cadencée par l'horloge retardée d'une durée prédéterminée (δ), et un circuit (74, 95) d'analyse des sorties des bascules.

7. Circuit protégé selon la revendication 6 caractérisé en ce que la deuxième bascule (93) est commandée par la même
15 horloge que la première bascule, mais par un front ou un niveau distinct de cette horloge.

8. Circuit protégé selon la revendication 6, caractérisé en ce que le circuit d'analyse (95) signale une erreur si les sorties des bascules sont différentes.

20 9. Circuit protégé selon la revendication 6, caractérisé en ce qu'il comprend une troisième bascule (72) reliée à ladite sortie et cadencée par l'horloge retardée du double (2δ) de la durée prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire (74).

25 10. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71) cadencée par
30 l'horloge et recevant ladite sortie retardée d'une durée prédéterminée (δ), et un circuit (74) d'analyse des sorties des bascules.

11. Circuit protégé selon la revendication 10, caractérisé en ce que le circuit d'analyse signale une erreur si les
35 sorties des bascules sont différentes.

12. Circuit protégé selon la revendication 10, caractérisé en ce qu'il comprend une troisième bascule (72) cadencée par l'horloge et recevant ladite sortie retardée du double (28) de la durée prédéterminée, le circuit d'analyse étant un circuit
5 de vote majoritaire (74).

13. Circuit protégé contre des perturbations transitoires, comprenant trois circuits logiques identiques (10a, 11a, 10b), caractérisé en ce que chacun des circuits logiques est précédé d'un élément mémoire (24a, 24b, 24c) à deux entrées
10 recevant respectivement les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

14. Circuit protégé selon la revendication 13,
15 caractérisé en ce que les circuits logiques sont des inverseurs et les éléments mémoire comprennent, en série, deux transistors MOS à canal P et deux transistors MOS à canal N, une première des entrées de l'élément mémoire étant reliée aux grilles d'un premier des transistors MOS à canal P et d'un premier des
20 transistors MOS à canal N, et la deuxième entrée de l'élément mémoire étant reliée aux grilles des deux autres transistors.

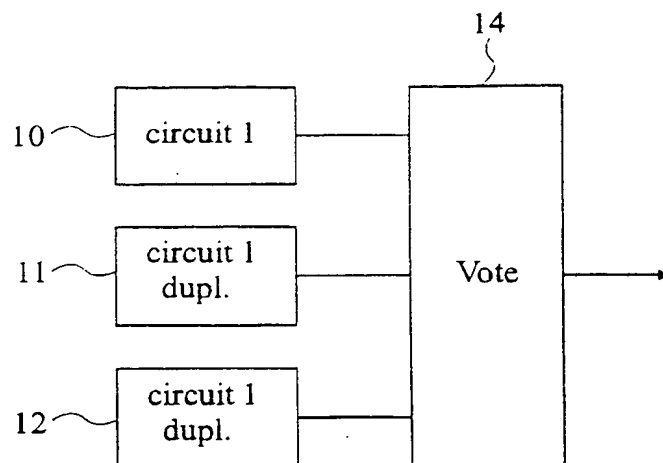


Fig 1

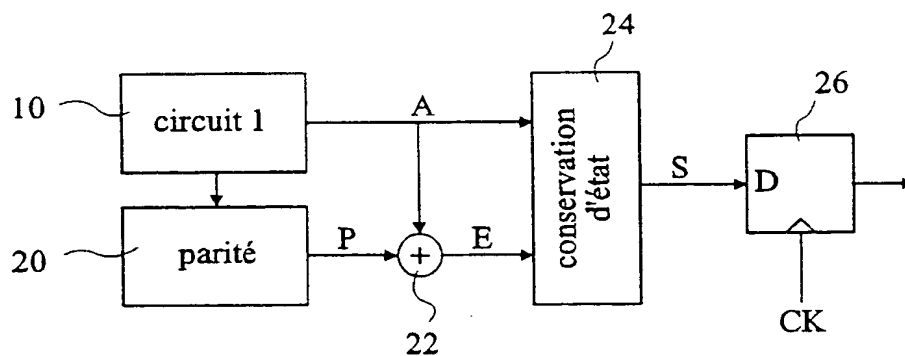


Fig 2A

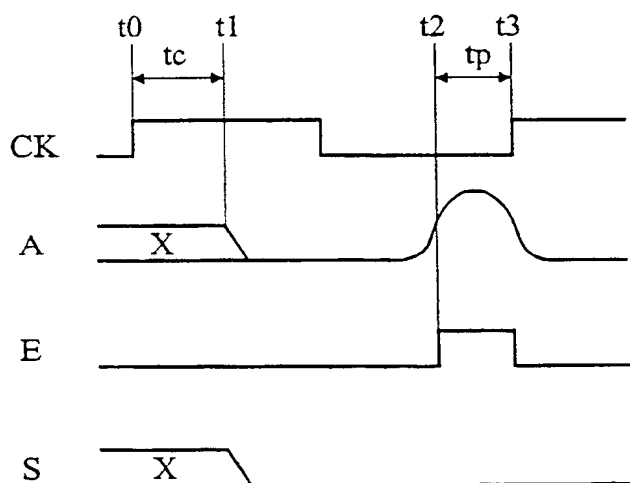


Fig 2B

THIS PAGE BLANK (USPTO)

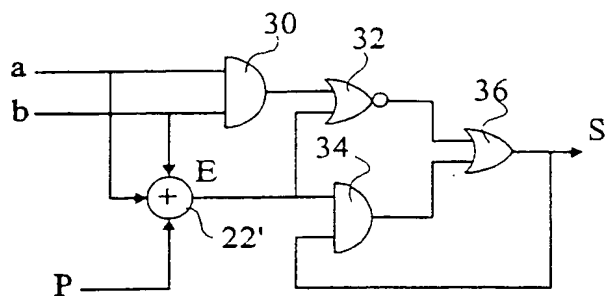


Fig 3A

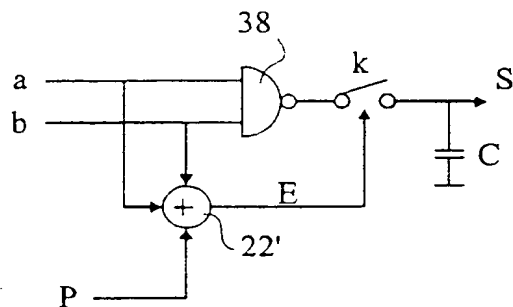


Fig 3B

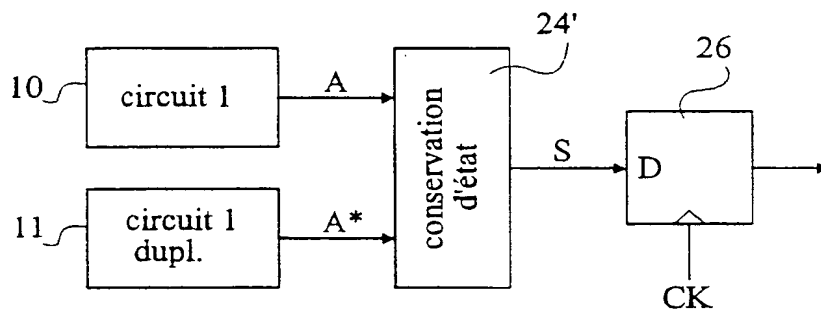


Fig 4

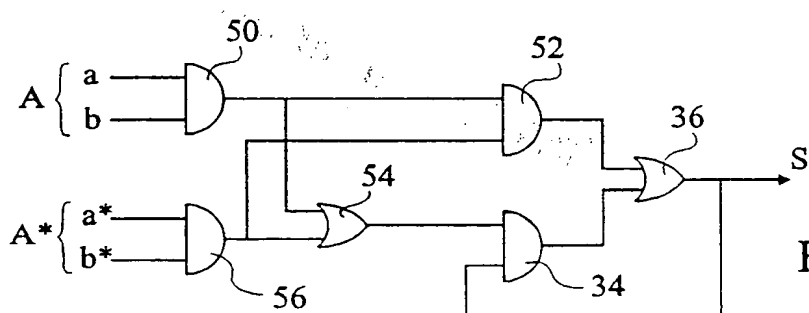


Fig 5

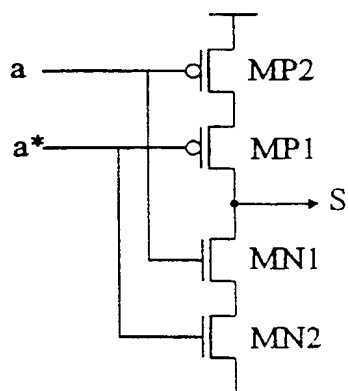


Fig 6A

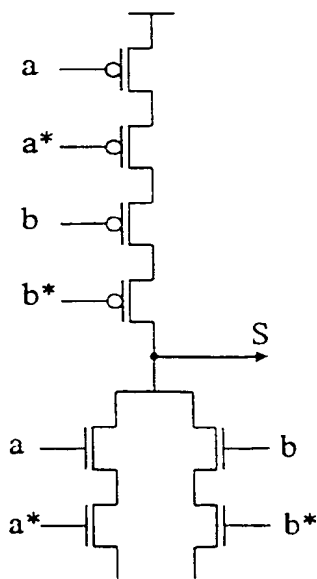


Fig 6B

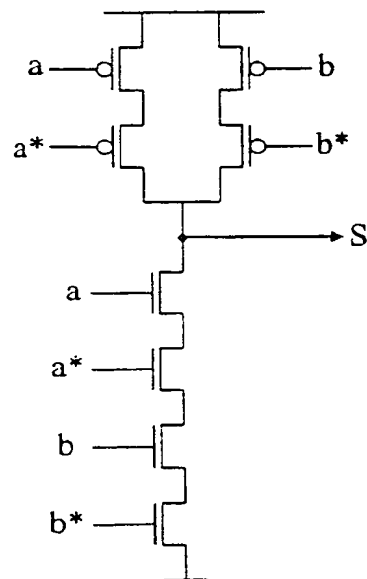


Fig 6C

THIS PAGE BLANK (USPTO)

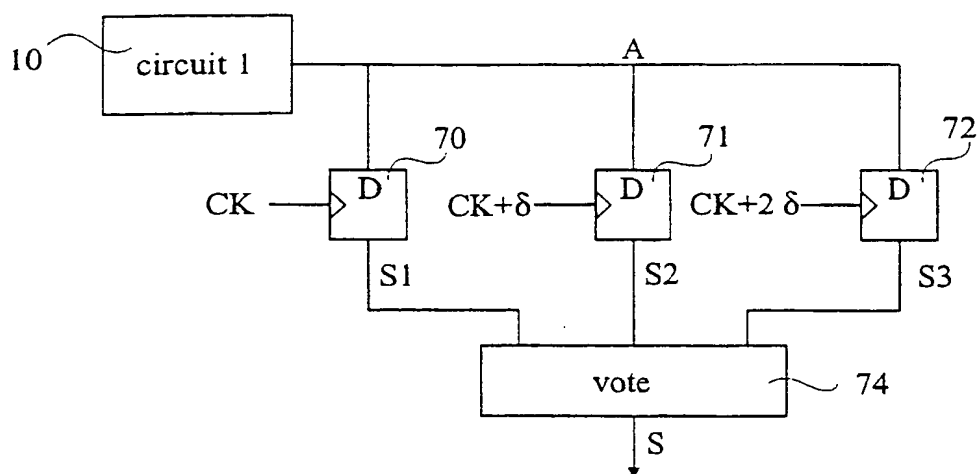


Fig 7A

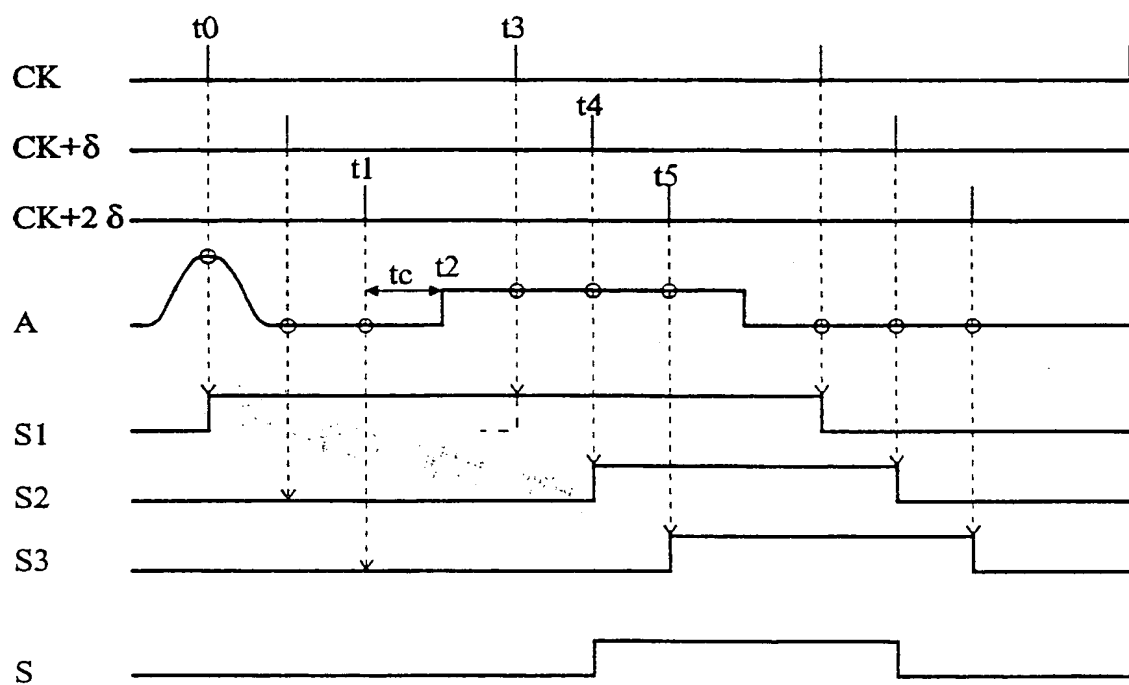


Fig 7B

THIS PAGE BLANK (USPTO)

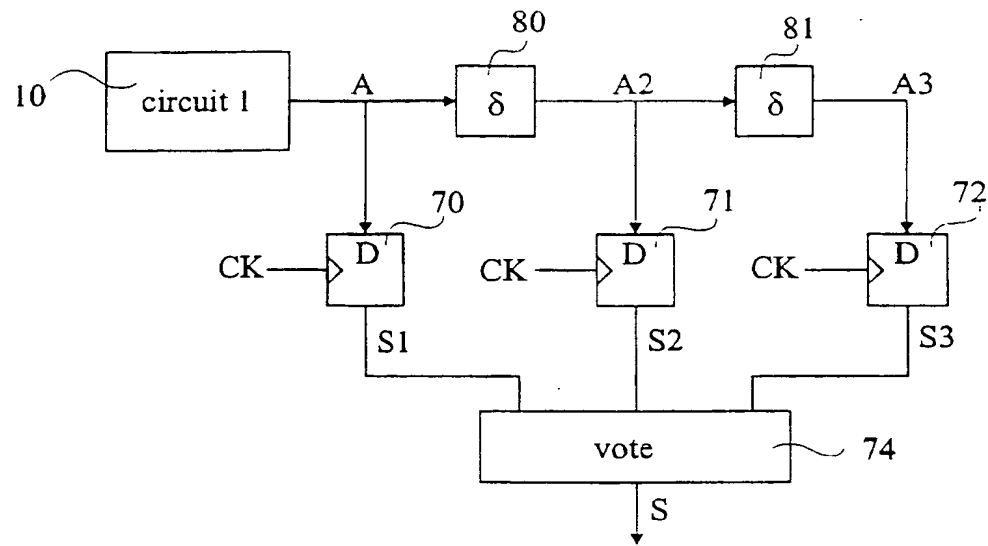


Fig 8A

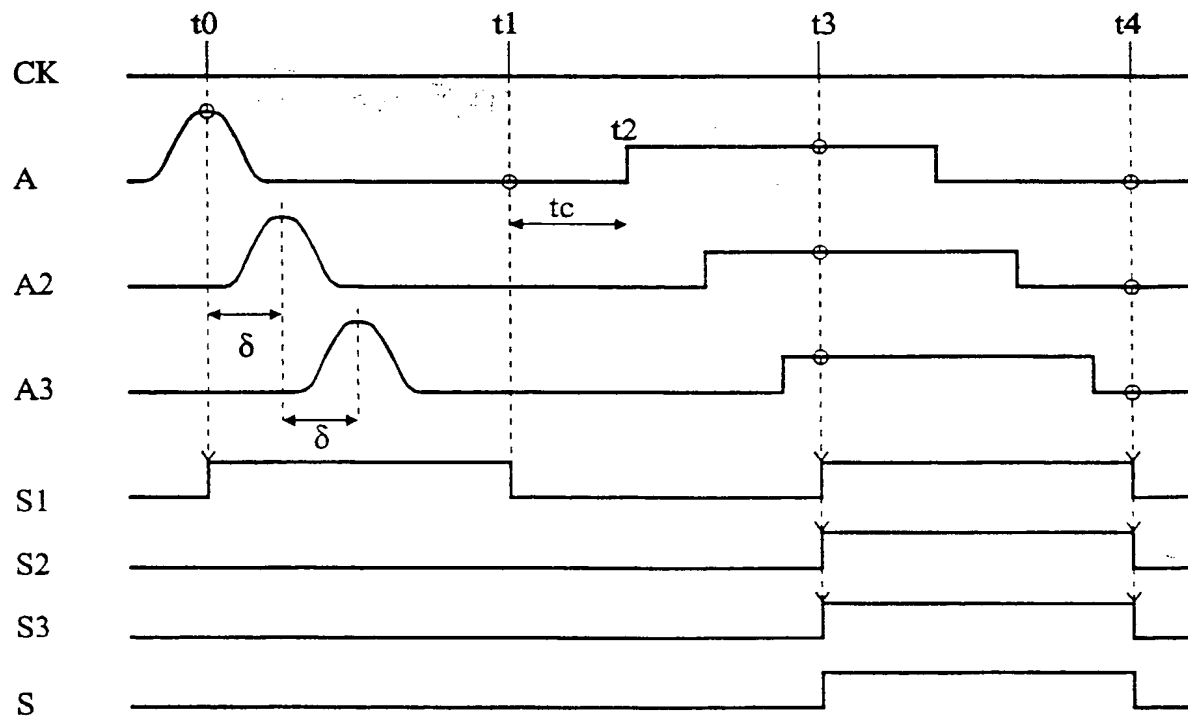


Fig 8B

THIS PAGE BLANK (USPTO)

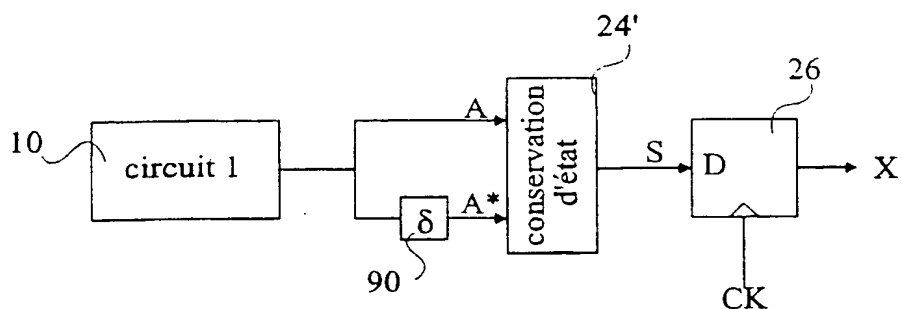


Fig 9A

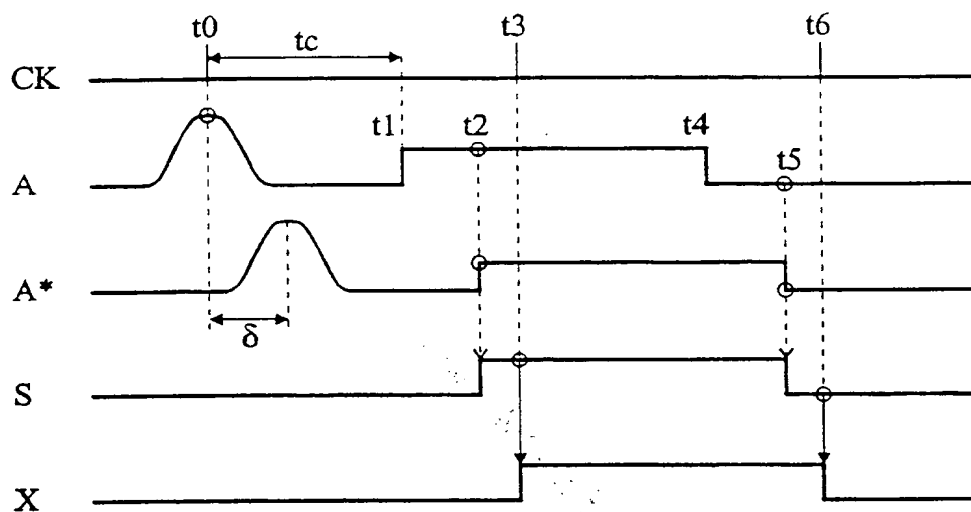


Fig 9B

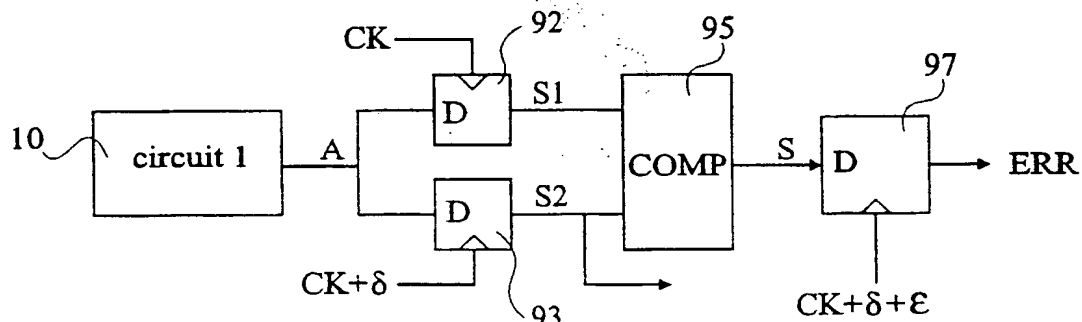


Fig 10A

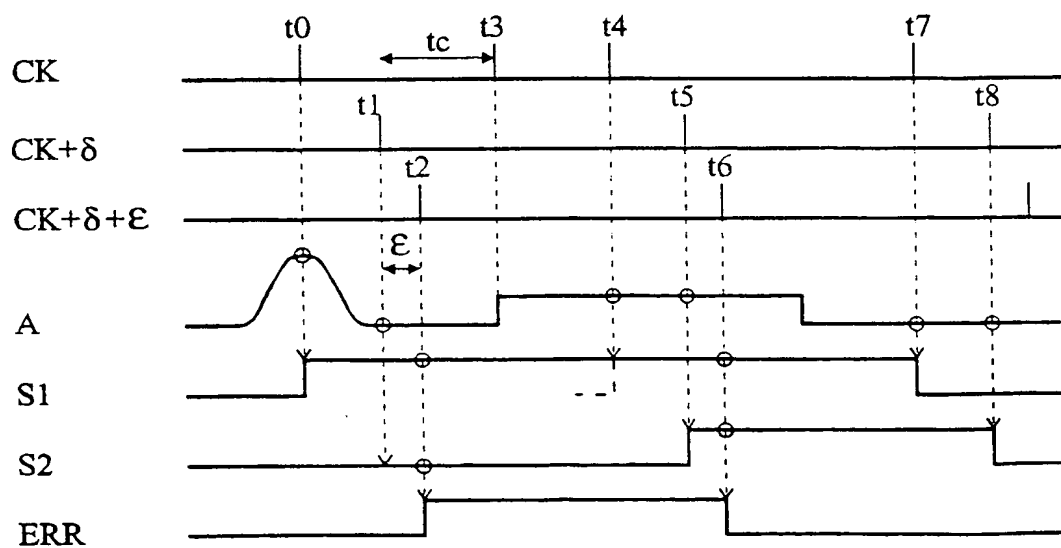


Fig 10B

THIS PAGE BLANK (USPTO)

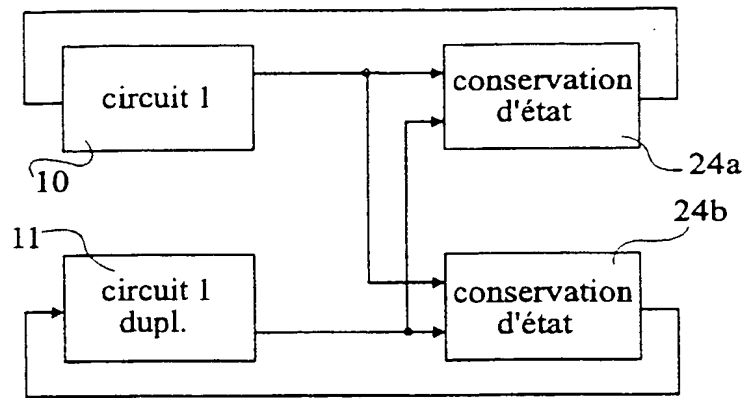


Fig 11

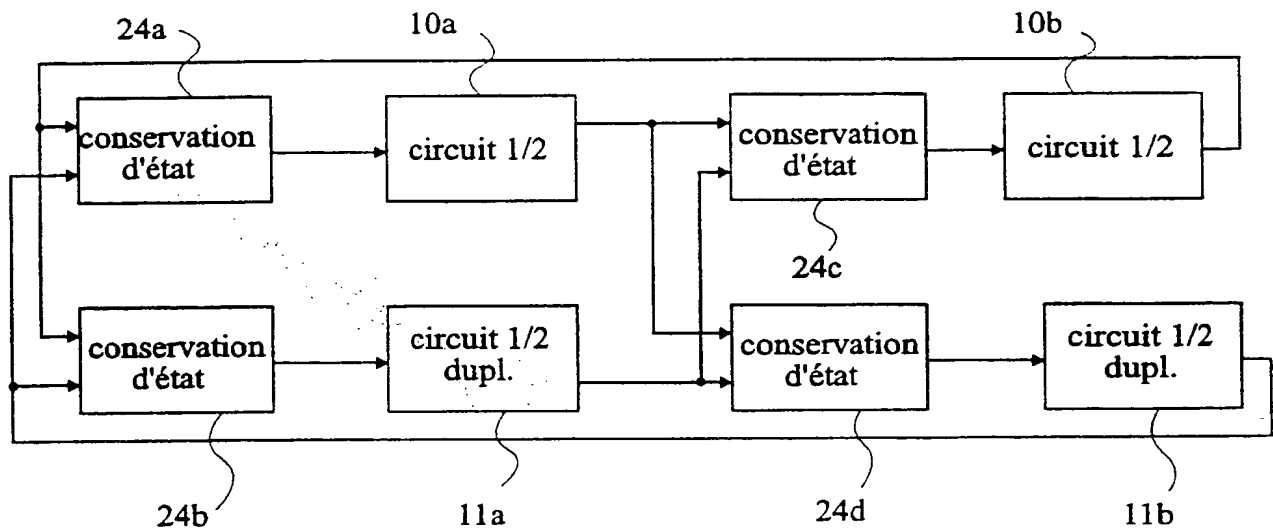


Fig 12

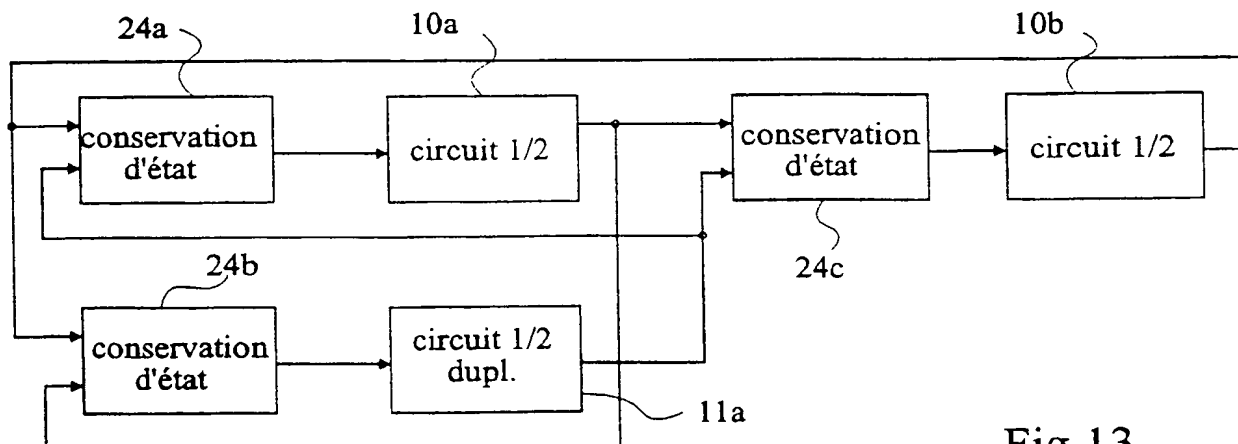


Fig 13

THIS PAGE BLANK (USPTO)

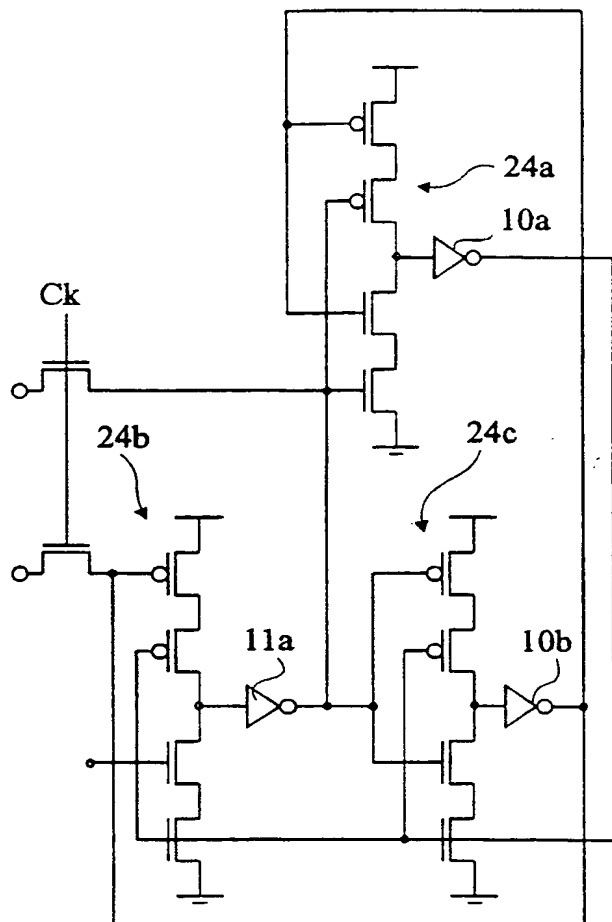


Fig 14

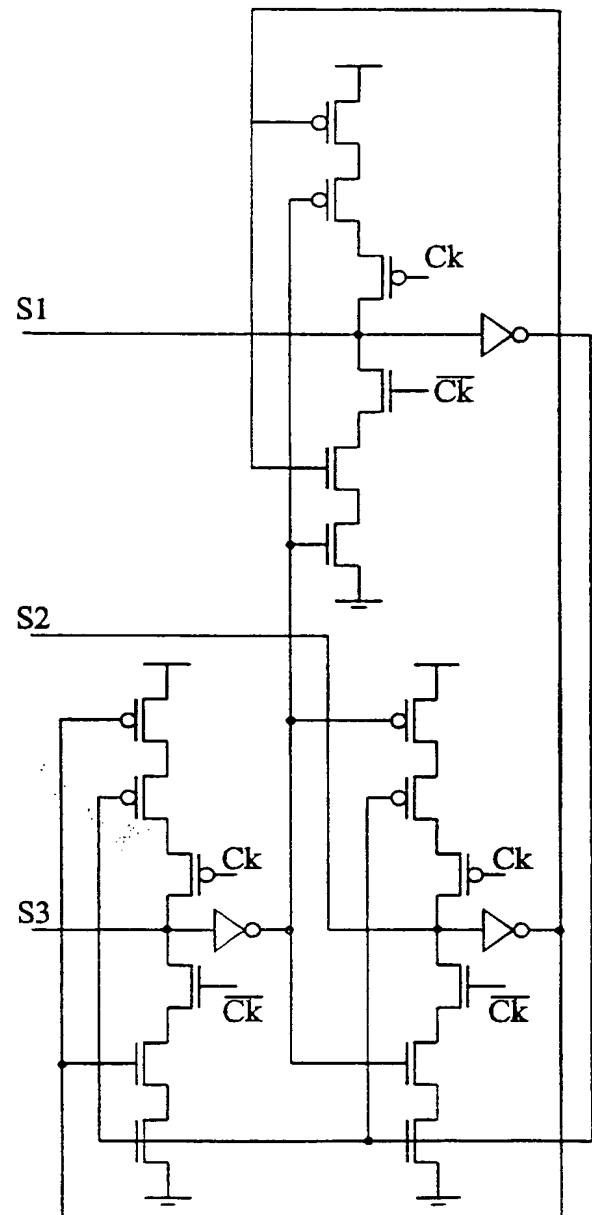


Fig 15

THIS PAGE BLANK (UPTO)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 00/00573

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K19/003

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K H03M G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 464 754 A (STEWART ET AL.) 7 August 1984 (1984-08-07) column 3, line 10 -column 6, line 4; figure 2B	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 October 1997 (1997-10-30) abstract; figure 2	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

15 May 2000

Date of mailing of the international search report

22/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Foglia, P

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/FR 00/00573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4464754	A	07-08-1984	NONE	
WO 9740579	A	30-10-1997	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

De l'Organisation internationale No

PCT/FR 00/00573

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 H03K19/003

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H03K H03M G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 4 464 754 A (STEWART ET AL.) 7 août 1984 (1984-08-07) colonne 3, ligne 10 - colonne 6, ligne 4; figure 2B	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 octobre 1997 (1997-10-30) abrégé; figure 2	1



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

15 mai 2000

Date d'expédition du présent rapport de recherche internationale

22/05/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Foglia, P

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Den o internationale No

PCT/FR 00/00573

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4464754 A	07-08-1984	AUCUN	
WO 9740579 A	30-10-1997	AUCUN	